

DIALOG(R)File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

011906764 **Image available**
WPI Acc No: 1998-323674/199829

XRXPX Acc No: N98-253096

Unit for performing numerical and logical operations in processors,
multi-computer systems, data flow processors, digital signal processors -
has bus unit enabling data to be accessed from or results to be passed to
bus system with automatic synchronisation of several receivers to which
data are sent bus access is decoupled from data processing

Patent Assignee: PACT INFORMATIONSTECHNOLOGIE GMBH (PACT-N); PACT XPP
TECHNOLOGIES AG (PACT-N); ENTIRE INTEREST (ENTI-N); PACT GMBH (PACT-N)

Inventor: MUNCH R; VORBACH M; MUENCH R

Number of Countries: 081 Number of Patents: 012

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
DE 19651075	A1	19980610	DE 1051075	A	19961209	199829 B
WO 9826356	A1	19980618	WO 97DE2949	A	19971209	199830
AU 9856514	A	19980703	AU 9856514	A	19971209	199847
EP 943129	A1	19990922	EP 97952730	A	19971209	199943
			WO 97DE2949	A	19971209	
DE 19781412	T	19991028	DE 1081412	A	19971209	199951
			WO 97DE2949	A	19971209	
CN 1247613	A	20000315	CN 97181623	A	19971209	200031
JP 2001505382	W	20010417	WO 97DE2949	A	19971209	200128
			JP 98524938	A	19971209	
US 6425068	B1	20020723	US 97946810	A	19971008	200254
US 20030056085	A1	20030320	US 97946810	A	19971008	200323
			US 2002156397	A	20020528	
EP 1310881	A2	20030514	EP 97952730	A	19971209	200333
			EP 200228401	A	19971209	
EP 943129	B1	20030702	EP 97952730	A	19971209	200345
			WO 97DE2949	A	19971209	
			EP 200228401	A	19971209	
DE 59710383	G	20030807	DE 510383	A	19971209	200359
			EP 97952730	A	19971209	
			WO 97DE2949	A	19971209	

Priority Applications (No Type Date): DE 1051075 A 19961209

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

DE 19651075 A1 29 G06F-015/80

WO 9826356 A1 G G06F-015/78

Designated States (National): AL AM AT AU AZ BA BB BG BR BY CA CH CN CU
CZ DE DK EE ES FI GB GE GH GM HU ID IL IS JP KE KG KP KR KZ LC LK LR LS
LT LU LV MD MG MK MN MW MX NO NZ PL PT RO RU SD SE SG SI SK SL TJ TM TR
TT UA UG US UZ VN YU ZW

Designated States (Regional): AT BE CH DE DK EA ES FI FR GB GH GM GR IE
IT KE LS LU MC MW NL OA PT SD SE SZ UG ZW

AU 9856514 A G06F-015/78 Based on patent WO 9826356

EP 943129 A1 G G06F-015/78 Based on patent WO 9826356

Designated States (Regional): AT BE CH DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE

DE 19781412 T G06F-015/78 Based on patent WO 9826356

CN 1247613 A G06F-015/78

BEST AVAILABLE COPY

JP 2001505382 W 100 H03K-019/177 Based on patent WO 9826356
US 6425068 B1 G06F-015/16
US 20030056085 A1 G06F-009/30 Cont of application US 97946810
Cont of patent US 6425068
EP 1310881 A2 G G06F-015/78 Div ex application EP 97952730
Div ex patent EP 943129
Designated States (Regional): AT BE CH DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE
EP 943129 B1 G G06F-015/78 Related to application EP 200228401
Related to patent EP 1310881
Based on patent WO 9826356
Designated States (Regional): AT BE CH DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE
DE 59710383 G G06F-015/78 Based on patent EP 943129
Based on patent WO 9826356

~~Abstract(Basic): DE 19651075 A~~

The unit has a programmable computer unit (EALU) for basic mathematical and logical functions. The functions and interconnections are programmed in registers, enabling processing of a number of data types without reprogramming. A state machine (SM-UNIT) controls the computer unit. Registers partially in the form of shift registers exist for each operand and the result. Result register data are fed back to an input via a multiplexer.

A bus unit (BM-UNIT) enables data to be accessed from or results to be passed to a bus system with automatic synchronization of several receivers to which data are sent. Bus access is decoupled from data processing, esp. configuration and reconfiguration do not affect the data transmitter or receiver. Bus transfers are automatically controlled by a state machine (SYNC-UNIT) using handshake lines. Return messages allow the status of processing and reconfiguration to be monitored.

ADVANTAGE - System has cascadable computer arrangement which is flexibly configured in terms of interconnections and functions.

Dwg.2/16

Title Terms: UNIT; PERFORMANCE; NUMERIC; LOGIC; OPERATE; PROCESSOR; MULTI; COMPUTER; SYSTEM; DATA; FLOW; PROCESSOR; DIGITAL; SIGNAL; PROCESSOR; BUS; UNIT; ENABLE; DATA; ACCESS; RESULT; PASS; BUS; SYSTEM; AUTOMATIC; SYNCHRONISATION; RECEIVE; DATA; SEND; BUS; ACCESS; DECOUPLE; DATA; PROCESS

Derwent Class: Q22; T01

International Patent Class (Main): G06F-009/30; G06F-015/16; G06F-015/78; G06F-015/80; H03K-019/177

International Patent Class (Additional): B62D-025/00; G06F-009/302; G06F-009/38; G06F-013/38

File Segment: EPI; EngPI

Manual Codes (EPI/S-X): T01-F03B; T01-H01D; T01-H07A; T01-M02
?



⑩ BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES
PATENTAMT

Offenlegungsschrift

DE 196 51 075 A 1

⑪ Int. Cl. 6:

G 06 F 15/80

G 06 F 9/38

G 06 F 13/38

DE 196 51 075 A 1

⑫ Aktenzeichen: 196 51 075.9
⑬ Anmeldetag: 9. 12. 96
⑭ Offenlegungstag: 10. 6. 98

⑮ Anmelder:

Pact Informationstechnologie GmbH, 81545
München, DE

⑯ Vertreter:

Zahn, R., Dipl.-Ing., Pat.-Anw., 76229 Karlsruhe

⑰ Erfinder:

Vorbach, Martin, 76149 Karlsruhe, DE; Münch,
Robert, 76149 Karlsruhe, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

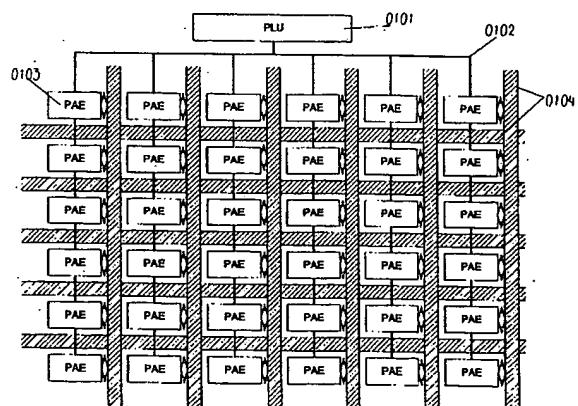
Prüfungsantrag gem. § 44 PatG ist gestellt

⑲ Einheit zur Verarbeitung von numerischen und logischen Operationen, zum Einsatz in Prozessoren (CPU's), Mehrrechnersystemen, Datenflußprozessoren (DFP's), digitalen Signal Prozessoren (DSP's) oder dergleichen

⑳ In Verbindung mit einer konfigurierbaren und zur Laufzeit umkonfigurierbaren Einheit zur Verarbeitung von numerischen und logischen Operationen (PAE), zum Einsatz in Prozessoren (CPUs), Mehrrechnersystemen, Datenflußprozessoren (DFPs), Digitalen Signal Prozessoren (DSPs), systolischen Prozessoren und programmierbaren Logikbausteinen (FPGAs), gesteuert von einer Ladelogik (PLU), wird folgende Konfiguration vorgeschlagen:
Es ist eine programmierbare Recheneinheit (EALU) zur Durchführung der mathematischen und logischen Grundfunktionen vorgesehen, deren Funktion und Vernetzung in Registern programmiert wird und in denen eine Vielzahl von Daten, ohne Umprogrammierung der PAE, verarbeitet werden kann.

Zur Steuerung der Recheneinheit (EALU) ist eine Zustandsmaschine (SM-UNIT) vorgesehen; ferner sind für jeden Operanden (O-REG) und das Ergebnis (R-REG) Register vorgesehen, die teilweise als Schieberegister ausgeführt werden können. Die Rückkopplung der Daten des Ergebnisregisters erfolgt über einen Multiplexer (R20-MUX) auf einen Eingang der EALU. Eine Buseinheit (BM-UNIT) ermöglicht den Abgriff der Daten von einem Bussystem bzw. das Einspeisen des Ergebnisses auf ein Bussystem, wobei die Buseinheit Daten an mehrere Empfänger versenden kann und die Synchronisierung auch mehrerer Empfänger automatisch erfolgt.

Der Buszugriff von der Datenverarbeitung in der EALU ist über die Register entkoppelt, wobei jede PAE als unabhängige Einheit betrachtet werden kann, so daß die ...



DE 196 51 075 A 1

DE 196 51 075 A 1

Beschreibung

1. Hintergrund der Erfindung

5

1.1 Stand der Technik

In der Offenlegungsschrift DE 44 16 881 A1 ist ein Verfahren zur Verarbeitung von Daten beschrieben. Dabei werden in ihrer Funktion und Vernetzung weitgehend frei konfigurierbare, homogen angeordnete Zellen verwendet.

10 Unabhängig von der erwähnten Offenlegungsschrift werden zunehmend FPGA-Bausteine (frei programmierbare Logikbausteine) verwendet, um Rechenwerke und Datenverarbeitungseinrichtungen aus einer Vielzahl einzelner Logikzellen aufzubauen.

Ein weiteres bekanntes Verfahren ist der Aufbau von Datenverarbeitungseinrichtungen aus festen, programmgesteuerten Rechenwerken mit weitgehend fester Vernetzung, sogenannten systolischen Prozessoren.

15

1.2 Probleme

1.2.1 Bausteine nach DE 44 16 881 A1

20 Bausteine nach dem in DE 44 16 881 A1 beschriebenen Verfahren (im folgenden VPUs genannt) sind aufgrund der hohen Zahl kleiner Logikzellen sehr aufwendig zu konfigurieren. Zur Steuerung einer Logikzelle sind mehrere Steuer-Bit in einem statischen Speicher (SRAM) anzugeben. Für jede Logikzelle existiert eine SRAM-Adresse. Die Zahl der zu konfigurierenden SRAM-Zellen ist sehr hoch, was zu einem erheblichen Platzbedarf und Zeitaufwand für die Konfiguration und Umkonfiguration eines solchen Bausteines führt. Der hohe Platzbedarf ist besonders unangenehm, da die Verarbeitungsleistung einer VPU mit steigender Zahl der Zellen zunimmt. Jedoch ist die verwendbare Fläche eines Baustein-25 nes durch die Chipfertigungstechnologien begrenzt. Der Preis eines Chips steigt etwa quadratisch zur Chipfläche. Aufgrund der mehrfach abgebildeten Next-Neighbour Vernetzungsstruktur ist ein Broadcast, also das Senden von Daten an mehrere Empfänger gleichzeitig, unmöglich. Sollten VPUs im Betrieb umkonfiguriert werden, ist es zwingend erforderlich kurze Umkonfigurationszeiten zu erreichen. Dagegen steht jedoch die große Anzahl an Konfigurationsdaten die benötigt werden, um den Chip umzukonfigurieren. Es existiert keine Möglichkeit Zellen von der Versorgungsspannung zu trennen oder langsamer zu takten, um die Verlustleistung zu minimieren.

1.2.2 FPGAs

30 Für den beschriebenen Einsatzbereich interessante FPGAs bestehen zumeist aus Multiplexer oder Look-Up-Table (LUT) Strukturen. Zur Implementierung werden SRAM-Zellen eingesetzt. Aufgrund der Vielzahl an kleinen SRAM-Zellen sind sie sehr aufwendig zu konfigurieren. Es sind große Datenmengen erforderlich, die einen entsprechend großen Zeitaufwand zum Konfigurieren und Umkonfigurieren erfordern. SRAM-Zellen benötigen sehr viel Platz. Jedoch ist die verwendbare Fläche eines Bausteines durch die Chipfertigungstechnologien begrenzt. Der Preis steigt auch hier etwa quadratisch zur Chipfläche. SRAM basierende Technologie ist durch die Zugriffszeit auf den SRAM langsamer als direkt integrierte Logik. Obwohl viele FPGAs auf Busstrukturen aufbauen, sind keinerlei Broadcast-Möglichkeiten zum schnellen und effektiven Senden von Daten an mehrere Empfänger gleichzeitig gegeben. Sollen FPGAs im Betrieb umkonfiguriert werden, ist es zwingend erforderlich kurze Konfigurationszeiten zu erreichen. Dagegen steht jedoch die große Anzahl an Konfigurationsdaten die benötigt werden. FPGAs bieten keinerlei Unterstützung für eine sinnvolle Umkonfiguration im Betrieb. Der Programmierer hat dafür zu sorgen, daß der Vorgang ordentlich ohne störende Einflüsse 40 auf Daten und umgebende Logik abläuft. Eine intelligente Logik zum Minimieren der Verlustleistung ist nicht vorhanden. Es bestehen keine speziellen Funktionseinheiten, die eine Rückmeldung der internen Betriebszustände an die das 45 FPGA steuernde Logik ermöglichen.

1.2.3 Systolische Prozessoren

50

Bei systolischen Prozessoren entfällt die Umkonfiguration komplett, jedoch sind diese Prozessoren unflexibel, da sie einen starren internen Aufbau besitzen. Befehle werden in jedem Zyklus neu dekodiert. Wie bereits in der beiden vorherigen Abschnitten beschrieben fehlen Funktionen, die ein Broadcasting oder die effiziente Minimierung der Verlustleistung beinhaltet.

55

1.3 Verbesserung durch die Erfindung, Aufgabe

Die Erfindung umfaßt ein kaskadierbares Rechenwerk, das flexibel in seiner Funktion und Vernetzung konfigurierbar ist. Es benötigt während der Ausführung des Algorithmus keine Befehlsdekodierung. Es ist im Betrieb umkonfigurierbar, 60 ohne Einfluß auf die umgebenden Rechenwerke, Verarbeitungsmodulen und Datenströme zu haben. Die Menge der Konfigurationsdaten ist sehr klein, was sich günstig auf Platzbedarf und Konfigurationsgeschwindigkeit auswirkt. Um große Datenmengen schnell und effizient zu verteilen wird Broadcasting über die internen Bussysteme unterstützt. Das Rechenwerk ist mit einer Stromsparfunktion ausgestattet, wodurch die Stromaufnahme komplett ausgeschaltet wird, ebenso existiert ein Taktteiler, der es ermöglicht das Rechenwerk mit einem geringeren Takt zu betreiben. Für Rückmeldungen 65 der internen Zustände an die externen Steuerungen stehen besondere Mechanismen zur Verfügung.

DE 196 51 075 A 1

2. Beschreibung der Erfindung

2.1 Übersicht über die Erfindung, Abstrakt

Die Erfindung beschreibt den Aufbau einer Zelle im Sinne von DE 44 16 881 A1 oder bekannter FPGA Zellen. In diese Zelle integriert ist eine um Sonderfunktionen erweiterte Arithmetisch-Logische-Einheit (EALU), die die Datenverarbeitung durchführt. Die EALU wird über ein Funktionsregisterregister konfiguriert, dadurch sinkt die für die Konfiguration erforderliche Datenmenge erheblich. Die Zelle ist über ein Bussystem frei kaskadierbar, dabei ist die EALU vom Bussystem über Ein- und Ausgaberegister entkoppelt. Die Ausgaberegister sind auf einen Eingang der EALU zurückgeführt um serielle Operationen zu ermöglichen. Die Aufschaltung auf den Bus übernimmt eine Bussteuereinheit, die den Bus entsprechend dem Busregister vernetzt. Dabei ist die Einheit so konzipiert, daß das Verteilen von Daten an mehrere Empfänger (Broadcasting) möglich ist. Eine Synchronisationsschaltung steuert den Datenaustausch zwischen mehreren Zellen über das Bussystem. Die EALU, die Synchronisationsschaltung, die Bussteuereinheit und die Register sind so gestaltet, daß eine Zelle unabhängig von ihren Umgebungszellen im Betrieb umkonfiguriert werden kann. Über das Funktionsregister kann ein Stromsparmodus konfiguriert werden, der die Zelle abschaltet, ebenfalls können Taktteiler eingestellt werden, die die Arbeitsfrequenz verringern.

2.2 Detailbeschreibung der Erfindung

Die Erfindung beschreibt den Aufbau einer Zelle (PAE=Processing Array Element) im Sinne von DE 44 16 881 A1 oder bekannter FPGA Zellen, dabei sind die PAEs zu einem Array (Processing Array = PA) kaskadierbar. Eine PAE ist aus einer Vielzahl von Funktionseinheiten aufgebaut:

2.2.1 EALU

Das Rechenwerk besteht aus einer fest in Logik implementierten erweiterten Arithmetisch-Logischen-Einheit EALU. Eine EALU ist eine gewöhnliche Arithmetisch-Logische-Einheit nach dem Stand der Technik (ALU), die durch spezielle Funktionen, wie Zähler erweitert ist. Diese EALU ist in der Lage eine Vielzahl von arithmetischen und logischen Operationen durchzuführen, ohne hier genau spezifiziert werden zu müssen, da auf ALUs die dem Stand der Technik entsprechend zurückgegriffen werden kann. Die EALU hat direkten Zugriff auf ihre eigenen Ergebnisse, diese werden wir nachfolgend beschrieben als Operand zurückgeführt. Dadurch sind Zähler oder serielle Operationen, wie die serielle Multiplikation, Division oder Reihenentwicklungen, möglich. Die EALU liefert neben ihrem Ergebnis die Signale CarryOut-AlessB und AequalB-0detect. CarryOut-AlessB gibt entweder bei arithmetischen Operationen das Carry an, oder bei Vergleichen mittels einer Subtraktion zweier Werte gibt der Übertrag, also CarryOut-AlessB, daß A < B, bzw. B < A, abhängig vom negierten Operanden an. Das Signal ist das übliche Carry generiert durch einen Volladdierer. AequalB-0detect gibt an, daß das Ergebnis im Ergebnisregister R-REGsft gleich 0 ist. Das Signal wird über ein NOR aus dem Ergebnis generiert. Die Signale werden zur einfachen Auswertung von Zuständen verwendet und können an die PLU zurückgeliefert werden. Weitere Statussignale sind je nach Anwendung implementierbar.

Die Funktion der EALU wird in einem Funktionsregister (F-PLUREG) konfiguriert.

2.2.2 O-REG

Die Eingangsoperanden der EALU werden in zwei unabhängige Operandenregister (O-REG) gespeichert. Dadurch stehen sie unabhängig des Zustandes der Einheit, die die Daten liefert (Datensender) zur Verfügung. Dies ist notwendig um eine Entkopplung vom Bus und eine freie Umkonfigurierbarkeit des PAs zu ermöglichen. Eines oder beide O-REG besitzen eine Schiebefunktion, die von der EALU für ggf. jedes O-REG einzeln angesteuert wird. Die Schiebefunktion ermöglicht das Durchführen von seriellen Operationen wie serielles Multiplizieren oder Dividieren im EALU. O-REG mit Schiebefunktion werden als O-REGsft bezeichnet.

2.2.3 R-REGsft

Das Ergebnis der EALU wird in einem Ergebnisregister gespeichert (R-REGsft). Dadurch wird die zeitliche Unabhängigkeit von der oder den das Ergebnis empfangenden Einheiten (Datenempfänger) erreicht. Das R-REGsft besitzt eine Schiebefunktion, die von der EALU angesteuert wird, wodurch serielle Operationen ermöglicht werden.

2.2.4 R2O-MUX

Die Ergebnisdaten, die in R-REGsft stehen, werden über einen Multiplexer (R2O-MUX) zwischen einem der O-REG und der EALU als Operand eingeschleift, um eine Rückkopplung des Ergebnisses für serielle Operationen, Zähler und ähnliche Funktionen zu gewährleisten. Der Multiplexer wird durch das F-PLUREG eingestellt.

2.2.5 Taktzyklen

Es ist sinnvoll, jedoch nicht zwingend erforderlich, die O-REG(sft) bei einer Taktflanke anzusteuern und die R-REGsft bei der darauffolgend negierten Taktflanke. Dadurch hat die EALU einen Halbtakt zur Ausführung ihrer Funktion zur Verfügung, der zweite Halbtakt steht für Signallaufzeiten und Multiplexer zur Verfügung. Dadurch wird es möglich in jedem Takt eine komplette Operation auszuführen.

DE 196 51 075 A 1

2.2.6 StateMachine, SM-Unit

Zur Ablaufsteuerung in der EALU existiert eine SM-UNIT. Diese steuert die O-REG und R-REGsft und deren Schiebefunktion, sowie R2O-MUX. Dadurch wird erreicht, daß serielle Operationen, Schiebe- und Zählfunktionen einfach von der EALU durchgeführt werden können. Die StateMachine ist dabei nach dem Stand der Technik einfach zu implementieren.

2.2.7 Sync-UNIT

10 Zur Synchronisation einer PAE innerhalb eines Arrays (PA) aus PAEs ist eine Synchronisationseinheit (Sync-UNIT) vorhanden. Diese wertet eine Reihe von Eingangssignalen, die ein HandshakeProtokoll ausführen, aus.

rACK(h/l): Der Datenempfänger quittiert die empfangenen Daten. Dabei ist rACKh die Quittierung des hohen Ergebnisbytes (Bit 8 bis 15) und rACKl die des niederen Ergebnisbytes (Bit 0 bis 7). Beide werden verUNDet (rACKh UND rACKl) und ergeben das Signal rACK. rACK ist nicht wahr, während einer oder beide Datenempfänger mit der Verarbeitung ihrer Daten beschäftigt sind und wird wahr wenn die Verarbeitung der Daten beider Datenempfänger abgeschlossen ist und das Ergebnis im R-REGsft des jeweiligen Datenempfängers gespeichert ist. Die Signale rACK(h/l) werden im weiteren oftmals in ihrer verUNDeten Form als rACK (= rACKh & rACKl) betrachtet.

oRDY(1/2): Der Datensender signalisiert seine Bereitschaft neue Daten zu senden. oRDY ist nicht wahr, während der Datensender mit der Verarbeitung seiner Daten beschäftigt ist und wird wahr, wenn das Ergebnis des Datensenders, das der Operand der PAE ist, zur Verfügung steht. Dabei ist oRDY1 das Freigabesignal des Datensenders des ersten Operanden und oRDY2 das des Zweiten. Beide werden verUNDet (oRDY1 UND oRDY2) und ergeben das Signal oRDY. oRDY ist nur wahr, wenn beide Datensender bereit sind Daten zu versenden. Die Signale oRDY(1/2) werden im weiteren oftmals in ihrer verUNDeten Form als oRDY (=oRDY1 & oRDY2) betrachtet.

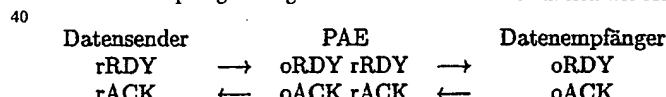
25 Aus den Eingangssignalen und dem Zustand der Sync-UNIT, der zusammen mit der Ablaufsteuerung der EALU den Gesamtzustand der PAE darstellt, werden Ausgangssignale generiert, die von den Sync-UNITs der Datensender und -empfänger ihrerseits als Eingangssignale betrachtet werden. Zur Ablaufsteuerung der EALU werden deren Statusinformationen und das Register F-PLUREG verwendet.

30 rRDY: Zeigt an, daß die PAE ihre Datenverarbeitung beendet hat und ein Ergebnis im R-REGsft zur Verfügung steht. rRDY wird als rRDYh und rRDYl an beide Datenempfänger übertragen. Dabei handelt es sich jedoch um dasselbe Signal!

oACK: Zeigt an, daß die PAE ihre Operanden verarbeitet hat und neue Daten in den O-REG(sft) aufnehmen kann. oACK wird als oACK1 und oACK2 an beide Datensender übertragen. Dabei handelt es sich jedoch um dasselbe Signal!

Die RDY-Signale behalten ihren Pegel bis zum Eingang der Quittierung durch ACK bei. Dies ist erforderlich wenn der Datenempfänger während der Bereitstellung der Daten umkonfiguriert wird. Steht RDY bis zur Quittierung durch ACK an, so erkennt der Datenempfänger nach der Umkonfigurierung, daß Daten bereitstehen und nimmt sie an.

Die Verknüpfung der Signale über mehrere PAEs stellt sich wie folgt dar:



45 Das bedeutet z. B. das Ausgangssignal rRDY des Datensenders stellt das Eingangssignal oRDY1 oder oRDY2 der PAE dar. Das Ausgangssignal rRDY der PAE stellt das Eingangssignal oRDY des Datenempfängers dar.
Die Sync UNIT besitzt folgende Ablaufarten:

Modus	Beschreibung	Bemerkung
50 Warten OP	Die PAE wartet auf Operanden	Nur wenn keine mehrzyklische Operation abläuft Operanden werden quittiert
Zyklus 1	Eine einzyklische Operation wird durchgeführt	
55 Zyklus n	Ein Zyklus einer mehrzyklischen Operation wird durchgeführt	
Zyklus Z	Der letzte Zyklus einer mehrzyklischen Operation wird durchgeführt	Operanden werden quittiert
60 Warten ERG	Die PAE wartet auf die Quittierung des Ergebnisses	Nur wenn vorhergehendes Ergebnis existiert
Stop	Ausführung nach Beendigung des laufenden Zyklusses anhalten, dann ReConfig quittieren, wenn auch Ergebnis quittiert wurde	
65		

Die Sync-UNIT stellt einen besonderen Modus zur Verfügung, der das Taktsignal nur freigibt, wenn Operanden zur

DE 196 51 075 A 1

Verfügung stehen. Dieser Modus ist vor allem dann sinnvoll, wenn die Datensender die Daten nicht in jedem Prozessortakt liefern, sondern nur jeden n. Takt. Dabei entspricht der Takt einer Periode des Normaltaktes und wird über rACK oder oRDY(1/2) freigegeben. Die Freigabe wird als OneShot bezeichnet. Der Modus wird als OneShot-MODE bezeichnet. Dabei wird der Takt über ein UND-Gatter mit einem der Freigabesignale verUNDet. Der Modus und die Signalauswahl findet über das F-PLUREG statt. Das Freigabesignal, generiert über rACK oder oRDY(1/2), kann von der SM-UNIT verlängert werden. Dies ist erforderlich, damit Operationen, die mehr als einen Takt benötigen im OneShot-MODE durchgeführt werden können. Um dies zu ermöglichen, wird eine entsprechende Signalleitung der SM-UNIT mit dem Freigabesignal verODERt.

Wird der Registereintrag STOP im F-PLUREG gesetzt, so führt die Sync-UNIT die laufende Funktion zu Ende. Danach werden keine weiteren Operanden mehr angenommen und quittiert. Sobald rACK anzeigt, daß das Ergebnis vom Datenempfänger angenommen wurde, wird die Umkonfigurierungsbereitschaft der PLU durch das Signal ReConfig angezeigt. Das Signal wird generiert, indem rACK das Stop des F-PLUREG in ein D-FlipFlop speichert. ReConfig kann durch einen lesenden Zugriff der PLU auf F-PLUREG an der Bitposition von Stop abgefragt werden.

Ebenfalls kann die Sync-UNIT dazu verwendet werden Fehlerzustände oder weitere Statussignale zu generieren und auszuwerten.

5

10

15

20

25

30

35

40

45

50

55

60

65

2.2.8 BM-UNIT

Zum Aufschalten der Operanden und des Ergebnisses auf die externen Bussysteme existiert eine Busmultiplexeinheit (BM-UNIT). Diese besteht aus 2 Multiplexern und 2 Toren, wobei die 2 Multiplexer für die Operanden (O-MUX) und 2 Tore für das Ergebnis (R-GATE) existieren, dabei wird jeweils ein Schalter für das höherwertige und niedrigerwertige Ergebnis verwendet. Die Multiplexer und Schalter werden über das Multiplexerregister (M-PLUREG) gesteuert. Die Sync-UNIT-Signale werden über die Schalter auf den Bus gesteuert. Dabei ist die Zusammenghörigkeit der Multiplexer/Schalter und Signale wie folgt:

O-MUX1: oRDY1, oACK
O-MUX2: oRDY2, oACK
RH-GATE: rRDY, rACKh
RL-GATE: rRDY, rACKl.

Das R-GATE kann über das M-PLUREG in einen Zustand gebracht werden, in dem es kein Bussystem treibt. Die Tabelle gibt eine Beschreibung der Signale, sowie deren jeweiliger Interface-Struktur:

Signal	oRDY	oACK	rRDY	rACK	D7..0
zeigt an	Operanden bereit	Operanden quittiert	Ergebnis bereit	Ergebnis quittiert	Daten
Typ	Eingang	Open-Kollektor	Treiber	Eingang	Bidirektional

Es ist möglich mehrere Datenempfänger von einem Datensender aus anzusprechen (Broadcasting). Hierzu schalten sich mehrere Datenempfänger auf denselben Bus. Um eine Quittierung der Daten zu gewährleisten ist die Treiberstufe der Quittierungsleitung oACK als Offener-Kollektor-Treiber gestaltet. Dabei arbeitet der Bus als wired-AND, d. h. erst wenn alle Datenempfänger quittieren entsteht der für die Quittierung erforderliche H-Pegel. Dies wird dadurch erreicht, daß jeder Datenempfänger, der NICHT quittiert den Bus über einen Open-Kollektor-Transistor auf einen L-Pegel zieht. Datenempfänger die quittieren, steuern den Open-Kollektor-Transistor nicht an und belasten somit den Bus nicht. Wenn alle Datenempfänger quittieren wird der Bus nicht mehr belastet und nimmt über einen Pull-Up-Widerstand H-Pegel an.

2.2.9 StateBack-UNIT

Die PAE ist in der Lage Rückmeldungen über ihren Betriebszustand an ihre Ladelogik, im folgenden PLU genannt, zu liefern (vgl. DE 44 16 881 A1). Die Ladelogik konfiguriert das PA und benötigt, um sinnvolle Umkonfigurationen vornehmen zu können, Informationen über den Status der einzelnen PAEs. Dies geschieht über die StateBack-UNIT. Diese überträgt je nach Eintrag im F-PLUREG entweder die unteren 3-Bit des Ergebnisses aus dem R-REGsft – um berechnete Werte an die PLU zu liefern – oder die Signale CarryOut-AlessB und AequalB-Odetect auf einen 3-Bit Statusbus. Um das Aufschalten der Signale von mehreren PAEs aus zu ermöglichen wird ein einfaches wired-OR Verfahren über Open-Kollektor-Treibern verwendet. Damit die Umkonfigurierung der PAE erst beginnt, wenn der Empfänger die Daten quittiert hat, kann zwischen den Signalen und den Open-Kollektor-Treibern eine Latch-Stufe eingeschleift werden, die die Signale erst nach Eingang des rACK freigibt. Der Statusbus wird von der PLU überwacht. Diese reagiert in ihrem Programmfluß und ihrer Umkonfiguration auf den vom Bus gelieferten Status.

2.2.10 Power-UNIT

Die PAE besitzt einen Stromsparmodus (Sleep-MODE), der ebenso wie die Funktion der EALU im F-PLUREG eingestellt wird. Hierfür existiert ein Bit, das, wenn es gesetzt ist, den Sleep-MODE einschaltet. Hierzu kann entweder die Takteleitung der PAE auf konstant logisch 0 oder 1 gesetzt werden, oder über einen Transistor die Spannung der PAE abgeschaltet werden. Das F-PLUREG steht innerhalb der PAE immer unter Spannung und ist nicht abschaltbar. Für die jeweils ausgeführte Funktion unbenutzte Bereiche (Gatter) der PAE werden durch Auswertung des F-PLUREG abgeschaltet. Dies geschieht über einen Transistor, der die Bereiche von der Spannungsversorgung trennt. Um unerwünschte Stör-

DE 196 51 075 A 1

einflüsse zu verhindern sind die Ausgänge der Bereiche über Pull-Up/Pull-Down-Widerstände definiert.

Zusätzlich kann innerhalb des OneShot-MODE, der von der Sync-UNIT gesteuert wird, der PowerSave-MODE verwendet werden. Dabei werden sämtliche Teile der PAE, mit Ausnahme von F-, M-PLUREG und Sync-UNIT von der Versorgungsspannung getrennt. Erst wenn die Sync-UNIT einen OneShot feststellt, werden alle benötigten PAE-Teile über die Power-UNIT zugeschaltet. Die Sync-UNIT verzögert das Taktsignal so lange, bis alle neu zugeschalteten Teile arbeitsfähig sind.

2.2.11 Register

10 Die Register F-PLUREG und M-PLUREG sind mit dem PLU-Bus verbunden. Die Adresse der von der PLU gesendeten Datenpakete werden in einem Vergleicher dekodiert. Ist die Adresse der PAE erkannt, so werden die Daten in die Register gespeichert. Der PLU-Bus ist wie folgt gestaltet:

AX7 . . . 0: X-Adresse der X/Y-Matrix
 15 AY7 . . . 0: Y-Adresse der X/Y-Matrix
 RS: Register Select, logisch 0 wählt F-PLUREG, logisch 1 wählt M-PLUREG aus.
 AEN: Adress Enable, der Bus enthält eine gültige Adresse. Die Adressen müssen dekodiert werden, solange AEN logisch 0 ist. AEN ist während des gesamten Buszugriffes, also auch während der Datenübertragung logisch 0.
 D23 . . . 00: Daten
 20 DEN: Data Enable, der Bus enthält gültige Daten. Die Daten müssen bei steigender Flanke des Signals DEN in das Register übertragen werden
 OEN: Output Enable, die PLU liest gültige Daten aus den PLUREGs.

Der Aufbau des F-PLUREG

25 30 35 40 45 50 55 60 65 70 75 80 85 90 95 100 105 110 115 120 125 130 135 140 145 150 155 160 165 170 175 180 185 190 195 200 205 210 215 220 225 230 235 240 245 250 255 260 265 270 275 280 285 290 295 300 305 310 315 320 325 330 335 340 345 350 355 360 365 370 375 380 385 390 395 400 405 410 415 420 425 430 435 440 445 450 455 460 465 470 475 480 485 490 495 500 505 510 515 520 525 530 535 540 545 550 555 560 565 570 575 580 585 590 595 600 605 610 615 620 625 630 635 640 645 650 655 660 665 670 675 680 685 690 695 700 705 710 715 720 725 730 735 740 745 750 755 760 765 770 775 780 785 790 795 800 805 810 815 820 825 830 835 840 845 850 855 860 865 870 875 880 885 890 895 900 905 910 915 920 925 930 935 940 945 950 955 960 965 970 975 980 985 990 995 1000 1005 1010 1015 1020 1025 1030 1035 1040 1045 1050 1055 1060 1065 1070 1075 1080 1085 1090 1095 1100 1105 1110 1115 1120 1125 1130 1135 1140 1145 1150 1155 1160 1165 1170 1175 1180 1185 1190 1195 1200 1205 1210 1215 1220 1225 1230 1235 1240 1245 1250 1255 1260 1265 1270 1275 1280 1285 1290 1295 1300 1305 1310 1315 1320 1325 1330 1335 1340 1345 1350 1355 1360 1365 1370 1375 1380 1385 1390 1395 1400 1405 1410 1415 1420 1425 1430 1435 1440 1445 1450 1455 1460 1465 1470 1475 1480 1485 1490 1495 1500 1505 1510 1515 1520 1525 1530 1535 1540 1545 1550 1555 1560 1565 1570 1575 1580 1585 1590 1595 1600 1605 1610 1615 1620 1625 1630 1635 1640 1645 1650 1655 1660 1665 1670 1675 1680 1685 1690 1695 1700 1705 1710 1715 1720 1725 1730 1735 1740 1745 1750 1755 1760 1765 1770 1775 1780 1785 1790 1795 1800 1805 1810 1815 1820 1825 1830 1835 1840 1845 1850 1855 1860 1865 1870 1875 1880 1885 1890 1895 1900 1905 1910 1915 1920 1925 1930 1935 1940 1945 1950 1955 1960 1965 1970 1975 1980 1985 1990 1995 2000 2005 2010 2015 2020 2025 2030 2035 2040 2045 2050 2055 2060 2065 2070 2075 2080 2085 2090 2095 2100 2105 2110 2115 2120 2125 2130 2135 2140 2145 2150 2155 2160 2165 2170 2175 2180 2185 2190 2195 2200 2205 2210 2215 2220 2225 2230 2235 2240 2245 2250 2255 2260 2265 2270 2275 2280 2285 2290 2295 2300 2305 2310 2315 2320 2325 2330 2335 2340 2345 2350 2355 2360 2365 2370 2375 2380 2385 2390 2395 2400 2405 2410 2415 2420 2425 2430 2435 2440 2445 2450 2455 2460 2465 2470 2475 2480 2485 2490 2495 2500 2505 2510 2515 2520 2525 2530 2535 2540 2545 2550 2555 2560 2565 2570 2575 2580 2585 2590 2595 2600 2605 2610 2615 2620 2625 2630 2635 2640 2645 2650 2655 2660 2665 2670 2675 2680 2685 2690 2695 2700 2705 2710 2715 2720 2725 2730 2735 2740 2745 2750 2755 2760 2765 2770 2775 2780 2785 2790 2795 2800 2805 2810 2815 2820 2825 2830 2835 2840 2845 2850 2855 2860 2865 2870 2875 2880 2885 2890 2895 2900 2905 2910 2915 2920 2925 2930 2935 2940 2945 2950 2955 2960 2965 2970 2975 2980 2985 2990 2995 3000 3005 3010 3015 3020 3025 3030 3035 3040 3045 3050 3055 3060 3065 3070 3075 3080 3085 3090 3095 3100 3105 3110 3115 3120 3125 3130 3135 3140 3145 3150 3155 3160 3165 3170 3175 3180 3185 3190 3195 3200 3205 3210 3215 3220 3225 3230 3235 3240 3245 3250 3255 3260 3265 3270 3275 3280 3285 3290 3295 3300 3305 3310 3315 3320 3325 3330 3335 3340 3345 3350 3355 3360 3365 3370 3375 3380 3385 3390 3395 3400 3405 3410 3415 3420 3425 3430 3435 3440 3445 3450 3455 3460 3465 3470 3475 3480 3485 3490 3495 3500 3505 3510 3515 3520 3525 3530 3535 3540 3545 3550 3555 3560 3565 3570 3575 3580 3585 3590 3595 3600 3605 3610 3615 3620 3625 3630 3635 3640 3645 3650 3655 3660 3665 3670 3675 3680 3685 3690 3695 3700 3705 3710 3715 3720 3725 3730 3735 3740 3745 3750 3755 3760 3765 3770 3775 3780 3785 3790 3795 3800 3805 3810 3815 3820 3825 3830 3835 3840 3845 3850 3855 3860 3865 3870 3875 3880 3885 3890 3895 3900 3905 3910 3915 3920 3925 3930 3935 3940 3945 3950 3955 3960 3965 3970 3975 3980 3985 3990 3995 4000 4005 4010 4015 4020 4025 4030 4035 4040 4045 4050 4055 4060 4065 4070 4075 4080 4085 4090 4095 4100 4105 4110 4115 4120 4125 4130 4135 4140 4145 4150 4155 4160 4165 4170 4175 4180 4185 4190 4195 4200 4205 4210 4215 4220 4225 4230 4235 4240 4245 4250 4255 4260 4265 4270 4275 4280 4285 4290 4295 4300 4305 4310 4315 4320 4325 4330 4335 4340 4345 4350 4355 4360 4365 4370 4375 4380 4385 4390 4395 4400 4405 4410 4415 4420 4425 4430 4435 4440 4445 4450 4455 4460 4465 4470 4475 4480 4485 4490 4495 4500 4505 4510 4515 4520 4525 4530 4535 4540 4545 4550 4555 4560 4565 4570 4575 4580 4585 4590 4595 4600 4605 4610 4615 4620 4625 4630 4635 4640 4645 4650 4655 4660 4665 4670 4675 4680 4685 4690 4695 4700 4705 4710 4715 4720 4725 4730 4735 4740 4745 4750 4755 4760 4765 4770 4775 4780 4785 4790 4795 4800 4805 4810 4815 4820 4825 4830 4835 4840 4845 4850 4855 4860 4865 4870 4875 4880 4885 4890 4895 4900 4905 4910 4915 4920 4925 4930 4935 4940 4945 4950 4955 4960 4965 4970 4975 4980 4985 4990 4995 5000 5005 5010 5015 5020 5025 5030 5035 5040 5045 5050 5055 5060 5065 5070 5075 5080 5085 5090 5095 5100 5105 5110 5115 5120 5125 5130 5135 5140 5145 5150 5155 5160 5165 5170 5175 5180 5185 5190 5195 5200 5205 5210 5215 5220 5225 5230 5235 5240 5245 5250 5255 5260 5265 5270 5275 5280 5285 5290 5295 5300 5305 5310 5315 5320 5325 5330 5335 5340 5345 5350 5355 5360 5365 5370 5375 5380 5385 5390 5395 5400 5405 5410 5415 5420 5425 5430 5435 5440 5445 5450 5455 5460 5465 5470 5475 5480 5485 5490 5495 5500 5505 5510 5515 5520 5525 5530 5535 5540 5545 5550 5555 5560 5565 5570 5575 5580 5585 5590 5595 5600 5605 5610 5615 5620 5625 5630 5635 5640 5645 5650 5655 5660 5665 5670 5675 5680 5685 5690 5695 5700 5705 5710 5715 5720 5725 5730 5735 5740 5745 5750 5755 5760 5765 5770 5775 5780 5785 5790 5795 5800 5805 5810 5815 5820 5825 5830 5835 5840 5845 5850 5855 5860 5865 5870 5875 5880 5885 5890 5895 5900 5905 5910 5915 5920 5925 5930 5935 5940 5945 5950 5955 5960 5965 5970 5975 5980 5985 5990 5995 6000 6005 6010 6015 6020 6025 6030 6035 6040 6045 6050 6055 6060 6065 6070 6075 6080 6085 6090 6095 6100 6105 6110 6115 6120 6125 6130 6135 6140 6145 6150 6155 6160 6165 6170 6175 6180 6185 6190 6195 6200 6205 6210 6215 6220 6225 6230 6235 6240 6245 6250 6255 6260 6265 6270 6275 6280 6285 6290 6295 6300 6305 6310 6315 6320 6325 6330 6335 6340 6345 6350 6355 6360 6365 6370 6375 6380 6385 6390 6395 6400 6405 6410 6415 6420 6425 6430 6435 6440 6445 6450 6455 6460 6465 6470 6475 6480 6485 6490 6495 6500 6505 6510 6515 6520 6525 6530 6535 6540 6545 6550 6555 6560 6565 6570 6575 6580 6585 6590 6595 6600 6605 6610 6615 6620 6625 6630 6635 6640 6645 6650 6655 6660 6665 6670 6675 6680 6685 6690 6695 6700 6705 6710 6715 6720 6725 6730 6735 6740 6745 6750 6755 6760 6765 6770 6775 6780 6785 6790 6795 6800 6805 6810 6815 6820 6825 6830 6835 6840 6845 6850 6855 6860 6865 6870 6875 6880 6885 6890 6895 6900 6905 6910 6915 6920 6925 6930 6935 6940 6945 6950 6955 6960 6965 6970 6975 6980 6985 6990 6995 7000 7005 7010 7015 7020 7025 7030 7035 7040 7045 7050 7055 7060 7065 7070 7075 7080 7085 7090 7095 7100 7105 7110 7115 7120 7125 7130 7135 7140 7145 7150 7155 7160 7165 7170 7175 7180 7185 7190 7195 7200 7205 7210 7215 7220 7225 7230 7235 7240 7245 7250 7255 7260 7265 7270 7275 7280 7285 7290 7295 7300 7305 7310 7315 7320 7325 7330 7335 7340 7345 7350 7355 7360 7365 7370 7375 7380 7385 7390 7395 7400 7405 7410 7415 7420 7425 7430 7435 7440 7445 7450 7455 7460 7465 7470 7475 7480 7485 7490 7495 7500 7505 7510 7515 7520 7525 7530 7535 7540 7545 7550 7555 7560 7565 7570 7575 7580 7585 7590 7595 7600 7605 7610 7615 7620 7625 7630 7635 7640 7645 7650 7655 7660 7665 7670 7675 7680 7685 7690 7695 7700 7705 7710 7715 7720 7725 7730 7735 7740 7745 7750 7755 7760 7765 7770 7775 7780 7785 7790 7795 7800 7805 7810 7815 7820 7825 7830 7835 7840 7845 7850 7855 7860 7865 7870 7875 7880 7885 7890 7895 7900 7905 7910 7915 7920 7925 7930 7935 7940 7945 7950 7955 7960 7965 7970 7975 7980 7985 7990 7995 8000 8005 8010 8015 8020 8025 8030 8035 8040 8045 8050 8055 8060 8065 8070 8075 8080 8085 8090 8095 8100 8105 8110 8115 8120 8125 8130 8135 8140 8145 8150 8155 8160 8165 8170 8175 8180 8185 8190 8195 8200 8205 8210 8215 8220 8225 8230 8235 8240 8245 8250 8255 8260 8265 8270 8275 8280 8285 8290 8295 8300 8305 8310 8315 8320 8325 8330 8335 8340 8345 8350 8355 8360 8365 8370 8375 8380 8385 8390 8395 8400 8405 8410 8415 8420 8425 8430 8435 8440 8445 8450 8455 8460 8465 8470 8475 8480 8485 8490 8495 8500 8505 8510 8515 8520 8525 8530 8535 8540 8545 8550 8555 8560 8565 8570 8575 8580 8585 8590 8595 8600 8605 8610 8615 8620 8625 8630 8635 8640 8645 8650 8655 8660 8665 8670 8675 8680 8685 8690 8695 8700 8705 8710 8715 8720 8725 8730 8735 8740 8745 8750 8755 8760 8765 8770 8775 8780 8785 8790 8795 8800 8805 8810 8815 8820 8825 8830 8835 8840 8845 8850 8855 8860 8865 8870 8875 8880 8885 8890 8895 8900 8905 8910 8915 8920 8925 8930 8935 8940 8945 8950 8955 8960 8965 8970 8975 8980 8985 8990 8995 9000 9005 9010 9015 9020 9025 9030 9035 9040 9045 9050 9055 9060 9065 9070 9075 9080 9085 9090 9095 9100 9105 9110 9115 9120 9125 9130 9135 9140 9145 9150 9155 9160 9165 9170 9175 9180 9185 9190 9195 9200 9205 9210 9215 9220 9225 9230 9235 9240 9245 9250 9255 9260 9265 9270 9275 9280 9285 9290 9295 9300 9305 9310 9315 9320 9325 9330 9335 9340 9345 9350 9355 9360 9365 9370 9375 9380 9385 9390 9395 9400 9405 9410 9415 9420 9425 9430 9435 9440 9445 9450 9455 9460 9465 9470 9475 9480 9485 9490 9495 9500 9505 9510 9515 9520 9525 9530 9535 9540 9545 9550 9555 9560 9565 9570 9575 9580 9585 9590 9595 9600 9605 9610 9615 9620 9625 9630 9635 9640 9645 9650 9655 9660 9665 9670 9675 9680 9685 9690 9695 9700 9705 9710 9715 9720 9725 9730 9735 9740 9745 9750 9755 9760 9765 9770 9775 9780 9785 9790 9795 9800 9805 9810 9815 9820 9825 9830 9835 9840 9845 9850 9855 9860 9865 9870 9875 9880 9885 9890 9895 9900 9905 9910 9915 9920 9925 9930 9935 9940 9945 9950 9955 9960 9965 9970 9975 9980 9985 9990 9995 9999

Die Funktionen der einzelnen Bit

Funktion	Zustand	Wirkung
Stop	0	Normale Funktion
	1	Funktionen nach laufendem Zyklus anhalten, keine Quittierung der Operanden
StateBack	00	keine Rückmeldung, Bus offen
	01	D2..0 auf Bus
	10	CarryOut-AlessB, AequalB-Detect auf Bus illegal
	11	
Sleep	0	keine Funktion, spannungslos
	1	normale Funktion, Spannung
OneShot	00	normale Funktion
	01	OneShot auf oRDY1
	10	OneShot auf oRDY2
	11	OneShot auf (rACKh & rACKl)
PowerSave	0	kein PowerSave
	1	Stromsparmodus in Verbindung mit OneShot
EALU function	00000	keine Operation (NOP)
	00001	
	...	
	11111	Funktion gemäß Ausführung der EALU

DE 196 51 075 A 1

2. Der Registeraufbau beim Lesezugriff

F11
ReConfig

5

Die Funktionen der einzelnen Bits

10

Funktion	Zustand	Wirkung
ReConfig	0	Keine Umkonfigurierung möglich
	1	Umkonfigurierung möglich

15

Der Reset-Zustand ist 0 in allen Bits.

Der Aufbau des M-PLUREG

20

M23..18	M17..12	M11..06	M05..00
Ergebnis höherwertig	Ergebnis niederwertig	Operand 1	Operand 0

25

Die Werte $M(n+5) \dots n = 000000$, $n \in \{0, 6, 12, 18\}$ bedeuten, daß die Multiplexer/Schalter offen sind und keinen Buskontakt besitzen. Es kann sinnvoll sein, das M-PLUREG über das Signal ReConfig zu sperren, d. h. sobald ReConfig aktiviert wird, schaltet sich die PAE von allen Bussystemen ab. Der Reset-Zustand ist 0 in allen Bits.

2.3 Zusammenfassung

30

Durch die Reduzierung der Konfigurationsdaten auf das Register F-PLUREG kann die Funktion des PAE einfacher und schneller konfiguriert und umkonfiguriert werden, als in bekannten Technologien, insbesondere der FPGA-Technologie. Die Vernetzung des Rechenwerkes wird im M-PLUREG angegeben, während in den herkömmlichen Technologien eine Vielzahl einzelner, nicht zusammenhängender Konfigurationsbits besetzt werden müssen. Durch die klare Struktur der Register wird eine (Um)Konfiguration vereinfacht.

35

Der Platzbedarf des PAE ist durch die direkte Ausgestaltung als Rechenwerk kleiner als in herkömmlichen Technologien, in denen Rechenwerke durch eine Vielzahl von Logikzellen implementiert wurden. Gleichzeitig sind die Durchlaufverzögerungen geringen und die erzielbaren Taktfrequenzen entsprechend höher.

40

Eine Broadcasting-Funktion ist durch die Ausgestaltung der BM-UNIT gewährleistet, die Quittierung erfolgt automatisch. Durch die ein- und ausgangsseitigen Register (O-REG, R-REG) ist ein zeitlich weitgehend unabhängiger Datentransfer gewährleistet.

45

Die Konfiguration und Umkonfiguration wird durch die Entkopplung jeder PAE vom Gesamtsystem über die Register O-REG und R-REG erheblich vereinfacht, da die einzelnen PAEs weitgehend voneinander unabhängig sind. Die Rückmeldungen an die PLU, sowie das Zusammenspiel von STOP und ReConfig ermöglichen die effiziente Steuerung der (Um)Konfigurationen.

45

Es sind Stromsparfunktionen implementiert, die – teilweise automatisch (OneShot-MODE) – zu einer Reduzierung des Leistungsverbrauchs führen.

Die PAE-Struktur kann zur Erhöhung der Effizienz von FPGAs in deren Architektur implementiert werden. Dadurch sind arithmetische Operationen erheblich leistungsfähiger realisierbar.

50

3. Kurzbeschreibung der Diagramme

Fig. 1 Anordnung mehrerer PAEs zu einem PA mit PLU. Ohne Verbindung zu Ein-/Ausgabesystemen oder Speicher.

55

Fig. 2 Aufbau einer PAE.

Fig. 3 Aufbau von F-PLUREG und M-PLUREG.

Fig. 4 Aufbau eines O-REG.

Fig. 5 Aufbau eines O-REGsft mit rechtsschiebe-Funktion.

Fig. 6 Aufbau eines R-REGsft mit rechts-links 1-2bit Barrel-Shifter.

60

Fig. 7 Aufbau des R2O-MUX, sowie Implementierung eines MUX in Transfer-Gate-Technik.

Fig. 8 Takt synchronisation, Verzögerungen und synchron Signale

Fig. 9 Funktionsweise der Sync-UNIT. Beschreibung.

Fig. 10 Aufbau der Power-UNIT

65

Fig. 11 Aufbau der Sync-UNIT

Fig. 12 Aufbau der BM-UNIT

Fig. 13 Aufbau eines O-MUX, begrenzt auf 4 Bussysteme

Fig. 14 Aufbau eines R-GATE, begrenzt auf 4 Bussysteme

Fig. 15 Aufbau der StateBack-UNIT

DE 196 51 075 A 1

Fig. 16 Funktionsprinzip des OneShot- und OneShot/PowerSave-MODE.

4. Detailbeschreibung der Diagramme

5 Fig. 1 stellt einen vereinfachten Prozessor gemäß DE 44 16 881 A1 dar. Zudem ist die PLU (0101) und deren Bussystem (0102) angezeigt. Die PAEs (0103) sind als Array eingetragen, das chipinterne Bussystem (0104) ist schematisch dargestellt.

Fig. 2 zeigt den schematisierten Aufbau einer PAE. Das chipinterne Bussystem (0201) wird an die BM-UNIT (0202) geführt, welche die durch M-REG (0203) ausgewählten Busse an das O-REGsft (0204) als Operand 1 und das O-REG (0205) als Operand 2 weiterschaltet. In den Datenpfad von Operand 2 wird über den R2O-MUX (0206) das im Ergebnisregister R-REGsft (0207) stehende Ergebnis wahlweise eingeschleift. Die Daten aus O-REGsft (0204) und R2O-MUX (0206) werden im ELAU (0208) verarbeitet. Über die StateBack-UNIT (0209) finden Rückmeldungen an die PLU statt. Der PLU-Bus (0210) hat Verbindung zu den Registern F-PLUREG (0211) und M-PLUREG (0212), sowie der StateBack-UNIT (0209). Über ihn wird die PAE konfiguriert und überwacht. Das F-PLUREG enthält alle funktionellen Konfigurationsdaten, das M-PLUREG enthält die Vernetzungsinformation der PAE. Die Sync-UNIT (0212), steuert das Zusammenspiel des Datenaustausches zwischen den Datensendern, den Datenempfängern und der Verarbeitungs-PAE. Die SM-UNIT (0213) steuert den gesamten internen Ablauf der PAE. Die Power-UNIT (0214) regelt die Stromversorgung und dient der Reduzierung des Stromverbrauches.

In Fig. 3 wird die Funktionsweise der Register M-PLUREG und F-PLUREG verdeutlicht. Die Adressen AX und AY des PLU-Bus (0308) werden in einem Vergleicher (0301) mit der Adresse der PAE verglichen, sofern AEN (Adress Enable) einen gültigen Bustransfer anzeigen. Dabei besitzt jede PAE eine eindeutige Adresse, die sich aus ihrer Spalte und Zeile innerhalb einer PA zusammensetzt. Zeigt DEN (DataEnable) die Datenübertragung an, so wird über RS (Register-Select) entweder M-PLUREG (0302) oder F-PLUREG (0303) ausgewählt. Bei der steigenden Flanke von DEN werden die Daten im betreffenden Register gespeichert. Die Register sind als D-FlipFlop (0304) implementiert. Zur Verdeutlichung des Ablaufes dient das Timingdiagramm 0305. Zum lesenden Zugriff auf das F-PLUREG wird lediglich über das Tor (0306) das Signal ReConfig von der Sync-UNIT an den PLU-Bus gegeben. Die Freigabe geschieht über das Ergebnis des Vergleichers (0301) UND dem Signal OEN.

Fig. 4a zeigt das Blockdiagramm des O-REG. In Fig. 4b ist der Aufbau des O-REG aus D-FlipFlops ersichtlich. Das Timingdiagramm ist in Fig. 4c dargestellt. Der Takt wird von der SYNC-SM generiert.

Fig. 5a zeigt das Blockdiagramm des O-REGsft. In Fig. 5b ist der Aufbau des O-REGsft aus D-FlipFlops (0501) ersichtlich. Die UND-Gatter (0502) und das OR-Gatter (0503) bilden über den Inverter (0504) einen durch Mode gesteuerten Multiplexer (0506), der entweder die Eingangsdaten auf die D-FlipFlop (0501) schaltet, oder die Ausgangsdaten der D-FlipFlop um ein Bit verschoben an deren Eingang leitet. Das UND-Gatter (0505) ist nicht notwendig, da ein Eingang permanent auf logisch 0 liegt. Es dient nur der Anschaulichkeit. In Fig. 5c ist das Timingdiagramm in Abhängigkeit von dem Signal Mode angegeben. Der Takt wird von der SYNC-SM generiert.

Fig. 6a zeigt den Blockaufbau des R-REGsft vor dem Register (0601) liegt ein Multiplexer (0602), der entweder die Eingangsdaten auf das Register (0601) schaltet, oder die Ausgangsdaten des Registers (0601) verschoben an dessen Eingang leitet. Der von der SYNC-SM generierte Takt wird um einen Halbtakt verschoben an das Register geführt. In Fig. 6b ist das Blockdiagramm auf Gatterebene dargestellt. Über einen Dekoder (0603) schalten Mode0-2 einen aus UND-Gattern mit nachgeschaltetem ODER-Gatter bestehenden Multiplexer (0606). Dabei sind die gestrichelt eingezeichneten Gatter (0605 und weitere) nur der Verdeutlichung wegen eingezeichnet. Sie sind funktionslos, da ein Eingang ständig auf L liegt. Der Multiplexer schaltet im Zustand Mode0-2 = 010 das Eingangssignal auf die Register (0607). In den Zuständen Mode0-2 = 000 bis Mode0-2 = 001 werden die Ausgangswerte der Register (0607) nach links, in den Zuständen Mode0-2 = 011 bis Mode0-2 = 100 rechts, um ein bzw. zwei Bit verschoben, an die Eingänge der Register geführt. Die Scheibeefunktion wird in Abhängigkeit vom Zustand Mode0-2 im Timingdiagramm Fig. 6c verdeutlicht.

Fig. 7a zeigt den Aufbau des Multiplexers R2O-MUX, der in Abhängigkeit von Mode die Operanden oder das Ergebnis an die EALU weiterleitet. Dabei ist Fig. 7a als herkömmlicher Multiplexer aufgebaut, während in Fig. 7b die platz- und leistungssparende Variante durch die Verwendung von CMOS Transfer-Gates (0701) aufgezeigt wird. Alle in dieser Schrift beschriebenen Multiplexer können mittels Transfer-Gates aufgebaut werden.

Ein Tor kann äquivalent zum Multiplexer aus Transfer-Gates aufgebaut werden. Dabei ist jedoch die Richtung des Datenaustausches genau umgekehrt!

Fig. 8 zeigt das Verhältnis des PAE-internen Taktes CLK zu den stattfindenden Aktivitäten. Bei der steigenden Flanke (0801) werden die Operanden in die O-REG gespeichert. Während des H-Pegels (0802) verarbeitet die PAE die Daten (Δ PAE = Verarbeitungsphase). Das umfasst den Datenverkehr zwischen den O-REG und dem R-REG. Bei der fallenden Flanke (0803) wird das Ergebnis im R-REG gespeichert. Der L-Pegel (0804) wird für die Verteilung der im Bussystem, eingeschlossenen der BM-UNIT genutzt (Δ Network = Busphase). Der zeitliche Ablauf der von der SYNC-SM generierten Signale (oRDY und oACK, rRDY und rACK) ist in das Zeitdiagramm eingetragen.

Das Ablaufdiagramm der Sync-UNIT ist in Fig. 9 dargestellt. Die Zustandsmaschine kennt zwei feste Zustände DATEN (0901) und ERGEBNIS (0902). DATEN wird auf die steigende Flanke synchronisiert, ERGEBNIS auf die fallende. Dabei wird jeweils der Zustand der Eingangsparameter ausgewertet und je nach Ergebnis in den Zweig ja (0903/0904) oder nein (0905/0906) gesprungen. Sind in DATEN die Operanden nicht bereit, wird nein angesprungen. In den nächsten Schritten wird keine Operation ausgeführt, bis die Maschine nach DATEN zurückspringt und erneut ausgewertet. Stehen nun Operanden, angezeigt durch oRDY, bereit, werden die Operanden im O-REG (0907) gespeichert. Die Operanden werden verarbeitet (0908) und gleichzeitig wird ausgewertet (0909), ob es sich bei mehrzyklischen Operationen (serielle Operationen, die mehr als einen Taktzyklus benötigen), um den letzte Zyklus handelt, oder ob eine einzyklische Operation abläuft. In diesen Fällen werden die Operanden durch oACK quittiert (0910). Mit der fallenden Flanke wird ERGEBNIS synchronisiert. Dabei wird überprüft ob das Flag "Ergebnis vorhanden" gesetzt ist (0911). Dieses Flag wird immer gesetzt, wenn ein fertiges Ergebnis durch rRDY signalisiert wird (0912).

DE 196 51 075 A 1

In zwei Fällen wird in den JA-Zweig (0904) gesprungen:

- Es ist kein vorhergehendes Ergebnis vorhanden (Flag "Ergebnis vorhanden" unwahr).
- Es ist ein vorhergehendes Ergebnis vorhanden (Flag "Ergebnis vorhanden" wahr) und dieses ist mit rACK quittiert. In diesem Fall (und nur in diesem Fall(!)) setzt 0902 das Ergebnis zurück (0913).

Ansonsten wird in den NEIN-Zweig (0906) gesprungen und keine Operation ausgeführt, bis die Zustandsmaschine nach ERGEBNIS (0902) zurückkehrt. Im JA-Zweig (0904) wird das Ergebnis in das Ausgangsregister R-REGsft gespeichert (0914). Danach wird ausgewertet ob es sich um den letzten Zyklus einer mehrzyklischen Operation handelt (0915) (vgl. 0909) oder ob eine einzyklische Operation abläuft, wenn ja, wird das Vorhandensein des Ergebnisses durch rRDY signalisiert (0916). Die Zustandsmaschine springt nach DATEN (0901) zurück. Die Erkennung ob es sich um den letzten Zyklus einer Operation – oder um eine einzyklische Operation – handelt kann über das Signal FINISH (0916) von der SM-UNIT abgefragt werden. Dieses ist aktiv, wenn der letzte – oder einzige – Zyklus stattfindet. Der SM-UNIT wird der Zustand der SYNC-UNIT über RUN (0917) signalisiert. RUN ist im Falle, daß eine Operation stattfindet aktiv, andernfalls inaktiv. Der Mechanismus des STOP-Eintrages im F-PLUREG und des daraus generierten ReConfig ist in Fig. 9 nicht dargestellt, da der Ablauf trivial ist und aus der Beschreibung der SYNC-UNIT hervorgeht.

Fig. 10 zeigt den prinzipiellen Aufbau der Power-UNIT. Das Signal Sleep wird von F-PLUREG auf einen Transistor oder eine Transistorstufe (1001) geleitet. Diese steuert die Spannungsversorgung für alle abschaltbaren Zellfunktionen. Die Sync-UNIT liefert das OneShotPowerSave-Signal (vgl. Fig. 16), über welches die Spannungsversorgung der restlichen Zellfunktionen durch einen Transistor oder eine Transistorstufe (1002) freigegeben wird. Abhängig von den tatsächlich verwendeten Funktionen in der Zelle, schalten die Transistoren oder Transistorstufen (1003) die nicht benötigten Funktionen ab (PowerDown). Verständlich ist, daß für ordentliche Spannungsversorgung und EMV-Verhalten weitere entsprechende Vorkehrungen, wie Kondensatoren etc., getroffen werden müssen.

Fig. 11 zeigt die Implementierung der Maschine aus Fig. 9 in das Konzept. Über die BM-UNIT (1101) werden die Signale oRDY(1/2) und rACK (vereinfacht dargestellt: tatsächlich existiert rACKh und rACKl, rACK = rACKl & rACKh) zu den CCLK-gesteuerten Latches (1102) geschaltet. Dabei sind die Latch so geschaltet, daß sie in der L-Phase (Busphase) von CCLK transparent sind und in der H-Phase (Verarbeitungsphase) den Zustand halten. Die Ausgänge der Latch stellen die Signale für die Sync-StateMachine (1103) zur Verfügung. rRDY (vereinfacht dargestellt: tatsächlich existiert rRDYh und rRDYl, diese sind vollkommen gleich, werden jedoch an verschiedene Empfänger geleitet) von (1103) wird über Tor auf den Bus geschaltet. Die Signale oACK(1/2) von (1103) werden in der BM-UNIT (1101) negiert und an die wiederum invertierenden Open-Kollektor-Bustreiber (1104) geliefert. Der Bus wird über Widerstände (1105) auf H gezogen. Die BNI-UNIT ist dabei geschaltet, daß folgende Fälle eintreten:

1. Wird der entsprechende Bus von der BM-UNIT nicht angesteuert, liegt an der Basis der Transistoren (1104) L an. Dadurch belasten sie den Bus nicht.
2. Wird der entsprechende Bus von der BM-UNIT angesteuert, und das Signal nicht quittiert, liegt an der Basis der Transistoren (1104) H an. Das bedeutet, daß der Bus auf L gezogen wird. Wird ein Ergebnis per Broadcasting an mehrere Datenempfänger verteilt, so ziehen alle PAEs, die die Ergebnisdaten noch nicht quittiert haben und Warte-Zyklen benötigen den Bus auf L.
3. Wird der entsprechende Bus von der BM-UNIT angesteuert, und das Signal quittiert, liegt an der Basis der Transistoren (1104) L an. Das bedeutet, daß der Bus nicht belastet wird. Wird ein Ergebnis per Broadcasting an mehrere Datenempfänger verteilt, so belasten alle PAEs, die die Ergebnisdaten quittiert haben und keine Warte-Zyklen benötigen den Bus nicht.

Da der Bus in seinem Grundzustand den H-Pegel, also die Quittierung einnimmt übersteuert die Nichtquittierung gemäß Fall 2 die Quittierung, in dem sie den Bus auf L zieht. Dabei geht der Bus erst dann in den H-Pegel, also in den Quittierungszustand, wenn alle PAEs quittieren. Es ist somit eine Wired-AND-Schaltung realisiert. Die Sync-StateMachine stellt das Signal RUN (1107) der SM-UNIT (1106) zur Verfügung. Diese läuft aufgrund von RUN an. Befindet sich die SM-UNIT im letzten – oder einzigen – Zyklus einer Verarbeitung, so signalisiert sie dies über FINISH (1108) an die Sync-StateMachine. FINISH wird in den Auswerteeinheiten zur Erkennung des letzten Zyklus (0907, 0915) ausgewertet. Die SM-UNIT läuft synchron zum PAE-internen Takt CLK.

Fig. 12 zeigt den Aufbau der BM-UNIT. Abhängig von den Einträgen in das M-PLUREG schalten die Multiplexer (1201, 1202) die Operanden vom internen Bus (1203) zu den O-REG. Ebenfalls schalten die Tore (1204, 1205) die untere und obere Hälfte des Ergebnisses auf den Bus. Der Multiplexer 1206 schaltet die oRDY(1/2) gemäß der Stellung von 1201 und 1202 und rACK gemäß der Stellung von 1204 und 1205 vom Bus in die PAE. Dabei werden die rACK beider Datenempfänger miteinander verUNDET. Existiert nur ein Datenempfänger, so ist der Multiplexer so geschaltet, daß er statt des fehlenden rACK eine logische 1 zurückgibt. 1207 beinhaltet ein Gate zum Aufschalten der Signale oACK(1/2) und rRDY auf den Bus. Dabei werden die Signale oACK(1/2) zunächst invertiert und dann über Open-Kollektor-Treiber (1104) auf den Bus geschaltet.

Fig. 13 verdeutlicht den Aufbau eines O-MUX. Dabei existiert ein 3 : 5 Dekoder (1301) zum Auswerten der Mode2...0 Signale aus dem M-PLUREG. Der Multiplexer ist über UND-Gatter (1302) mit nachgeschaltetem ODER-Gatter (1303) aufgebaut. Das Auswertesignal von Mode2...0 = 000 des Dekoders (1301) ist dabei direkt auf die ODER-Gatter geschaltet (1304). Das bewirkt, daß in offenem Zustand, d. h. keine Verbindung zu einem Bussystem, immer logisch 1 zurückgeliefert wird. (Vgl. mit Fig. 12 rACK). Zur Vereinfachung ist nur eine reduzierte Busgröße dargestellt.

In Fig. 14 ist der Aufbau eines R-GATE dargestellt. Dabei existiert ein 3 : 4 Dekoder (1401) zum Auswerten der Mode2...0 Signale aus dem M-PLUREG. Das Auswertesignal von Mode2...0 = 000 des Dekoders wird nicht verwendet. Dadurch wird keine Busverbindung bei dieser Bit-Kombination hergestellt. Die Gates (1402) sind entweder

DE 196 51 075 A 1

durch UND-Gatter oder Transmissio-Gates (vgl. 0701) aufgebaut. Dabei ist eine Verstärkerstufe zum Treiben der Buslast vor- oder nachgeschaltet. Zur Vereinfachung ist nur eine reduzierte Busgröße dargestellt.

Die StateBack-UNIT ist in Fig. 15 dargestellt. Gemäß der Einstellung im M-PLUREG schaltet ein Multiplexer (1501) entweder die Signale CarryOut-AlessB, AequalB-0detect von der EALU oder die Ausgänge des R-REG R-REGD2...0 durch. Die Signale gelangen an eine Open-Kollektor-Transistor-Stufe (1502) und werden auf den PLU-Bus geschaltet. Dabei benötigt der PLU-Bus externe, nahe der PLU positionierte Pull-Up-Widerstände (1503). Das Latch 1504 ist optional. Wird es in die Ausgangssignale von 1501 eingeschleift, werden diese erst auf den Bus (1503) geschaltet, nachdem der Datenempfänger die Daten über rACK quittiert hat. Dadurch wird bewirkt daß die Bereitschaft zur Umkonfigurierung über die Statussignale erst angezeigt wird, wenn die Daten auch angenommen wurden. Normalerweise wird dies durch das Zusammenspiel von STOP und ReConfig in der Sync-UNIT geregelt; daher ist das Latch optional. Das rACK wird dabei als Latch-Takt verwendet. Dabei ist das Latch bei rACK = 1 transparent und speichert bei rACK = 0.

Fig. 16 verdeutlicht die Funktionsweise des OneShot-MODE. Über einen Multiplexer (1601) schalten die Signale

- Vcc
- 15 - oRDY1
- oRDY2
- (oRDY1 & rACK)

abhängig von der Einstellung im F-PLUREG den Zell-Takt frei. Dabei bewirkt die Freischaltung über Vcc, daß der Takt 20 immer läuft (siehe Timing-Diagramm "Normaler Betrieb"). In den 3 übrigen Modi läuft der Takt erst an, wenn die Signale, oder Signalkombinationen den Takt freigeben. Die Freigabe wird durch ein Latch (1602) auf den Takt CCLK synchronisiert, damit die Phase nicht vorzeitig abbricht, wenn das Freigabesignal zu kurz ist. Dabei ist das Latch in der L-Phase von CCLK transparent und hält den Wert in der H-Phase. Das Freigabesignal gelangt auf das UND-Gatter-Paar 25 (1603 und 1604), das den Takt freigibt. Über einen Inverter (1605) wird das invertierte Taktsignal !CLK erzeugt, CLK läuft um die Phasengleichheit zu gewährleisten durch ein Verzögerungsglied (1606) (siehe Timing-Diagramm "One-Shot 30 Betrieb"). Dabei wird CCLK in der Zuleitung zu 1604 über zwei Verzögerungszeiten (1610) verzögert um Phasengleichheit zum an 1603 anliegenden CCLK, das durch den Multiplexer (1608) verzögert wurde, zu gewährleisten. Wird eine PAE in den PowerSave-Mode gebracht, wird die Versorgungsspannung der Zelle weitgehend ausgeschaltet. Dies geschieht über das ODER-Gatter 1611. Ist der PowerSave-MODE eingeschaltet, d. h. PowerSave = 1, führt das negierte 35 Signal L. Ist zudem der OneShot-MODE eingeschaltet und das Register 1602 auf L, wird über das OneShotPowerSave-Signal der Spannungsversorgungstransistor in der Power-UNIT (vgl. Fig. 17) abgeschaltet. Steht das Register 1602 jedoch auf logisch 1 (oder PowerSave = 0), wird der Spannungsversorgungstransistor über 1611 eingeschaltet. Die folgende Tabelle gibt einen Überblick über die Funktion:

	PowerSave	Latch (1602)	Spannung	Bemerkung
35	L	X	an	
	H	L	aus	nur wenn OneShot-MODE gesetzt!
40	H	H	an	

Beim Einschalten der Versorgungsspannung entsteht eine zeitlich bestimmte Aufwachzeit, bis die Zelle arbeitsfähig ist. Um dennoch ordentlich zu funktionieren, müssen die Signale entsprechend verzögert werden. Hierzu wird CCLK 45 über eine Verzögerungsleitung (1607) geleitet. Ein Multiplexer (1608) wählt entsprechend dem Signal PowerSave aus F-PLUREG aus, ob der normale oder verzögerte Takt an die Zelle geleitet wird. Verzögert wird nur der nicht invertierte Takt um den Zeitraum Δ PowerOn, der invertierte Takt wird nicht verzögert. Dadurch steht das Ergebnis synchron zu den restlichen Bausteinfunktionen zur Verfügung. Dadurch verringert sich die nutzbare Verarbeitungszeit auf Δ process. Die maximale Taktfrequenz des Bausteines hängt somit von $\Sigma = \Delta$ PowerOn + Δ process ab (siehe Timing-Diagramm "OneShot Betrieb mit PowerSave").

50 5. Begriffsdefinition

AequalB-0detect: Durch die EALU generiertes Signal, das bei arithmetischen Operationen anzeigt, daß das Ergebnis gleich null ist. Bei Vergleichen wird angezeigt, daß Operand A gleich Operand B ist.

55 ALU: Arithmetisch logische Einheit. Grundeinheit zum Verarbeiten von Daten. Die Einheit kann arithmetische Operationen wie Addition, Subtraktion, unter Umständen auch Multiplikation, Division, Reihenentwicklungen usw. durchführen. Dabei kann die Einheit als ganzzahlige (integer) Einheit oder als Fließkomma-(floating-point)-Einheit gestaltet sein. Ebenfalls kann die Einheit logische Operationen, wie UND, ODER, sowie Vergleiche durchführen.

BM-UNIT: Einheit zum Aufschalten der Daten auf die Bussysteme außerhalb der PAE. Das Aufschalten geschieht 60 über Multiplexer für die Dateneingänge und Tore für die Datenausgänge. oACK-Leitungen sind als Open-Kollektor-Treiber implementiert. Die BM-UNIT wird durch das M-PLUREG gesteuert.

Broadcast: Senden von Daten einer PAE an mehrere Datenempfänger.

CarryOut-AlessB: Durch die EALU generiertes Signal, das bei arithmetischen Operationen einen Übertrag anzeigt. Bei Vergleichen wird angezeigt, daß Operand A kleiner als Operand B ist.

65 Datenempfänger: Die Einheit(en), die Ergebnisse der PAE weiterverarbeitet/-arbeiten.

Datensender: Die Einheit(en), die Daten für die PAE als Operanden zur Verfügung stellt/stellen.

D-FlipFlop: Speicherelement, welches ein Signal bei der steigenden Flanke eines Taktes speichert.

EALU: Erweiterte arithmetisch logische Einheit. ALU, die um Sonderfunktionen, die zum Betrieb einer Datenverar-

DE 196 51 075 A 1

beitungseinrichtung gemäß DE 441 16 881 A1 benötigt werden oder sinnvoll sind erweitert wurde. Dies sind insbesondere Zähler.

FPGA: Programmierbarer Logikbaustein. Stand der Technik.

F-PLUREG: Register in dem die Funktion der PAE gesetzt wird. Ebenfalls wird der OneShot- und Sleep-Mode gesetzt. Das Register wird von der PLU beschrieben.

Gatter: Gruppe von Transistoren, die eine logische Grundfunktion durchführen. Grundfunktionen sind z. B. NAND, NOR, Transmission-Gates.

H-Pegel: Logisch 1 Pegel, abhängig von der verwendeten Technologie.

Handshake: Signalprotokoll, bei dem ein Signal A einen Zustand anzeigt und ein anderes Signal B bestätigt, daß es Signal A akzeptiert und darauf, reagiert (hat).

Konfigurieren: Bestimmen der Funktion und Vernetzung einer logischen Einheit, einer (FPGA)-Zelle oder einer PAE (vgl. umkonfigurieren).

Latch: Speicherelement, das ein Signal für gewöhnlich während des H-Pegels transparent weiterleitet und während des L-Pegels speichert. In PAEs werden teilweise Latches gebraucht, bei denen die Funktion der Pegel genau umgekehrt ist. Hierbei wird vor den Takt eines üblichen Latch ein Inverter geschaltet.

L-Pegel: Logisch 0 Pegel, abhängig von der verwendeten Technologie.

M-PLUREG: Register in dem die Vernetzung der PAE gesetzt wird. Das Register wird von der PLU beschrieben.

Next-Neighbour Vernetzung: Vernetzung der Bussysteme mit den an den Kanten anstoßenden Nachbarn.

O-MUX: Multiplexer innerhalb der BM-UNIT, der das Bussystem der Operanden auswählt.

OneShot: Modus in dem eine PAE mit einem geringeren als dem Prozessortakt arbeitet. Der Takt ist synchron zum Prozessortakt und entspricht einer Periode. Eine Phasenverschiebung existiert nicht. Der Takt wird über eines der Signale ORDY(1/2) oder rRDY freigegeben. Dieser Modus dient der Strom einsparung, wenn die Datensender oder -empfänger langsamer als der Prozessortakt Daten senden oder empfangen.

Open-Kollektor: Schaltungstechnik, bei der der Kollektor eines Transistors an einem, über einen Pullup auf den H-Pegel gezogenen, Bussignal liegt. Der Emitter der Transistors liegt auf Masse. Schaltet der Transistor, so wird das Bussignal auf den L-Pegel gezogen. Vorteil des Verfahrens ist, daß eine Mehrzahl solcher Transistoren den Bus ohne elektrische Kollision steuern können. Dabei sind die Signale ODER-verküpfelt, es entsteht das sog. wired-OR.

O-REG: Operandenregister zur Speicherung der Operanden der EALU. Ermöglicht die zeitliche und funktionelle Unabhängigkeit der PAE von den Datensendern. Dadurch wird der Transfer der Daten vereinfacht, da er asynchron oder paketorientiert stattfinden kann. Gleichzeitig wird die Möglichkeit geschaffen die Datensender unabhängig von der PAE oder die PAE unabhängig von den Datensendern umzukonfigurieren.

O-REGsft: O-REG mit durch SM-UNIT gesteuertem Schieberegister.

PA: Processing Array: Array aus PAEs.

PAE: Processing Array Element: EALU mit O-REG, R-REG, R2O-MUX, F-PLUREG, M-PLUREG, BM-, SM-, Sync-, StateBack- und Power-UNIT.

PLU: Einheit zum Konfigurieren und Umkonfigurieren der PAE. Ausgestaltet durch einen speziell an seine Aufgabe angepaßten Mikrocontroller.

PowerSave-MODE: Stromsparmodus Modus innerhalb des OneShot-MODE. Während keine Operation ausgeführt wird werden alle Teile der PAE mit Ausnahme des F-, M-PLUREG und Sync-UNIT nicht mit Spannung versorgt.

Power-UNIT: Einheit die die Stromsparfunktionen regelt.

PullDown: Widerstand, der eine Busleitung auf einen L-Pegel zieht.

PullUp: Widerstand, der eine Busleitung auf einen H-Pegel zieht.

R-GATE: Schalter innerhalb der BM-UNIT, der das Ergebnis auf das entsprechende Bussystem aufschaltet. Dabei sind einige Signal über als Open-Kollektor-Treiber aufgeschaltet. Das R-GATE arbeitet als Bustreiber und kann in einen busneutralen Modus gehen.

R2O-MUX: Multiplexer zum Einschleifen des Ergebnisses in einem R-REG-sft in den Datenpfad zwischen O-REG und EALU.

R-REGsft: Ergebnisregister zur Speicherung des Ergebnis der EALU. Ermöglicht die zeitliche und funktionelle Unabhängigkeit der PAE von den Datenempfängern. Dadurch wird der Transfer der Daten vereinfacht, da er asynchron oder paketorientiert stattfinden kann. Gleichzeitig wird die Möglichkeit geschaffen die Datenempfänger unabhängig von der PAE oder die PAE unabhängig von den Datenempfängern umzukonfigurieren. Das Register ist mit einer Schiebfunktion versehen, die von der SM-UNIT gesteuert wird.

serielle Operationen: Operationen, die durch serielles Abarbeiten eines Datenwortes oder eines Algorithmus durchgeführt werden. Serielle Multiplikation, serielle Division, Reihenentwicklung

Sleep-MODE: Stromsparmodus in dem die PAE mit Ausnahme von F-PLUREG ohne Spannung ist.

SM-UNIT: StateMachine-UNIT. Zustandsmaschine, die die EALU steuert.

StateBack-UNIT: Einheit, die die Rückmeldung der Statussignale an die PLU steuert. Bestehend aus einem Multiplexer und einer Open-Kollektor-Bustreiberstufe

Sync-UNIT: Einheit, die die Synchronisation der PAE mit den Datensendern und -empfängern übernimmt, sowie das Umkonfigurieren von PAEs überwacht. Gleichzeitig werden die OneShot-Funktionen übernommen.

Tor: Schalter, der ein Signal weiterleitet oder sperrt. Einfacher Vergleich: Relais

Umkonfigurieren: Neues Konfigurieren von einer beliebigen Menge von PAEs während eine beliebige Restmenge von PAEs ihre eigenen Funktionen fortsetzen (vgl. konfigurieren).

Zustandsmaschine: Logik, die diversen Zuständen annehmen kann. Die Übergänge zwischen den Zuständen sind von verschiedenen Eingangsparametern abhängig. Diese Maschinen werden zur Steuerung komplexer Funktionen eingesetzt und entsprechen dem Stand der Technik.

DE 196 51 075 A 1

6. Konventionen

6.1 Namenskonvention

5 Baugruppe: -UNIT
 Betriebsart: -MODE
 Multiplexer: -MUX
 Negiertes Signal: not
 Register für PLU sichtbar: -PLUREG
 10 Register intern: -REG
 Schieberegisters: -sft

6.2 Funktionskonvention

15 Schieberegister: sft
 UND-Funktion: &

A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

25 ODER-Funktion #

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	1

NICHT-Funktion !

A	Q
0	1
1	0

40 TOR-Funktion G

EN	D	Q
0	0	-
0	1	-
1	0	0
1	1	1

50

Patentansprüche

1. Konfigurierbare und zur Laufzeit umkonfigurierbare Einheit zur Verarbeitung von numerischen und logischen Operationen (PAE), zum Einsatz in Prozessoren (CPUs), Mehrrechnersystemen, Datenflußprozessoren (DFPs), Digitalen Signal Prozessoren (DSPs), systolischen Prozessoren und programmierbaren Logikbausteinen (FPGAs), gesteuert von einer Ladelogik (PLU), dadurch gekennzeichnet, daß

- 1. eine programmierbare Recheneinheit (EALU) zur Durchführung der mathematischen und logischen Grundfunktionen besteht,
- 2. die Funktion und Vernetzung der Recheneinheit in Register programmiert wird und eine Vielzahl von Daten, ohne Umprogrammierung der PAE, verarbeitet werden kann,
- 3. zur Steuerung der Recheneinheit (EALU) eine Zustandsmaschine (SM-UNIT) existiert,
- 4. Register für jeden Operanden (O-REG) und das Ergebnis (R-REG) bestehen, wobei die Register teilweise als Schieberegister ausgeführt werden können,
- 5. eine Rückkopplung der Daten des Ergebnisregisters auf einen Eingang der EALU über einen Multiplexer (R2O-MUX) besteht,
- 6. eine Buseinheit (BM-UNIT) den Abgriff der Daten von einem Bussystem ermöglicht bzw. das Einspeisen des Ergebnisses auf ein Bussystem, wobei die Buseinheit Daten an mehrere Empfänger versenden kann und die Synchronisierung auch mehrerer Empfänger automatisch erfolgt,

DE 196 51 075 A 1

7. der Buszugriff von der Datenverarbeitung in der EALU über die Register entkoppelt ist und somit jede PAE als unabhängige Einheit betrachtet werden kann, insbesondere die Konfiguration und Umkonfiguration einer PAE keinen störenden Einfluß auf die Datensender und -empfänger, sowie die unabhängigen PAEs hat,
8. der Ablauf der Bustransfers über eine Zustandsmaschine (SYNC-UNIT) automatisch gesteuert wird und dafür die Handshake-Leitungen oRDY, oACK, rRDY und rACK zur Verfügung stehen,
9. Rückmeldungen an die PLU zur Erkennung des Zustandes der Verarbeitung und der Umkonfigurierbarkeit der PAE erfolgen (StateBack-UNIT).

2. Einheit nach Anspruch 1, dadurch gekennzeichnet, daß die Datenverarbeitung einer PAE angehalten werden kann (Eintrag STOP in F-PLUREG) und die PAE daraufhin nach Vollendung der gerade laufenden Datenverarbeitung ihre Bereitschaft zur Umkonfiguration anzeigt (ReConfig).
3. Einheit nach Anspruch 1, dadurch gekennzeichnet, daß Stromsparmodi existieren,

- in welchen die PAE immer nur dann arbeitet, wenn Operanden vom Datensender am Eingang bereitstehen und das Ergebnis bereits vom Empfänger angenommen wurde, und die PAE ansonsten ohne Takt statisch bleibt,
- in welchen Teilbereiche der PAE, die zur Ausführung der momentanen Datenverarbeitung irrelevant sind, von der Takt- und/oder Stromversorgung getrennt sind,
- in welchen die PAE von der Spannungsversorgung getrennt ist.

Hierzu 16 Seite(n) Zeichnungen

5

10

15

20

25

30

35

40

45

50

55

60

65

- Leerseite -

This Page Blank (uspto)

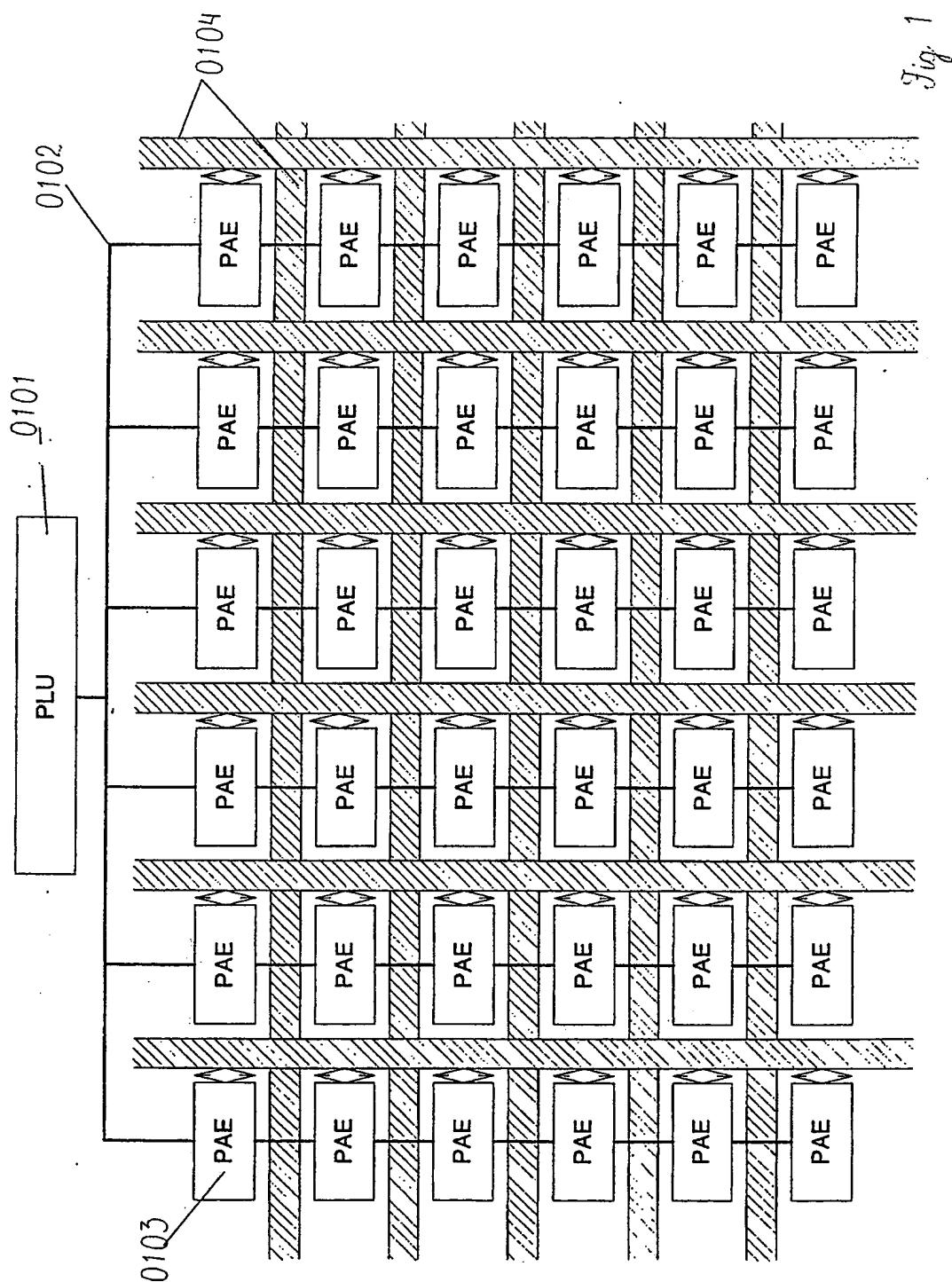


Fig. 1

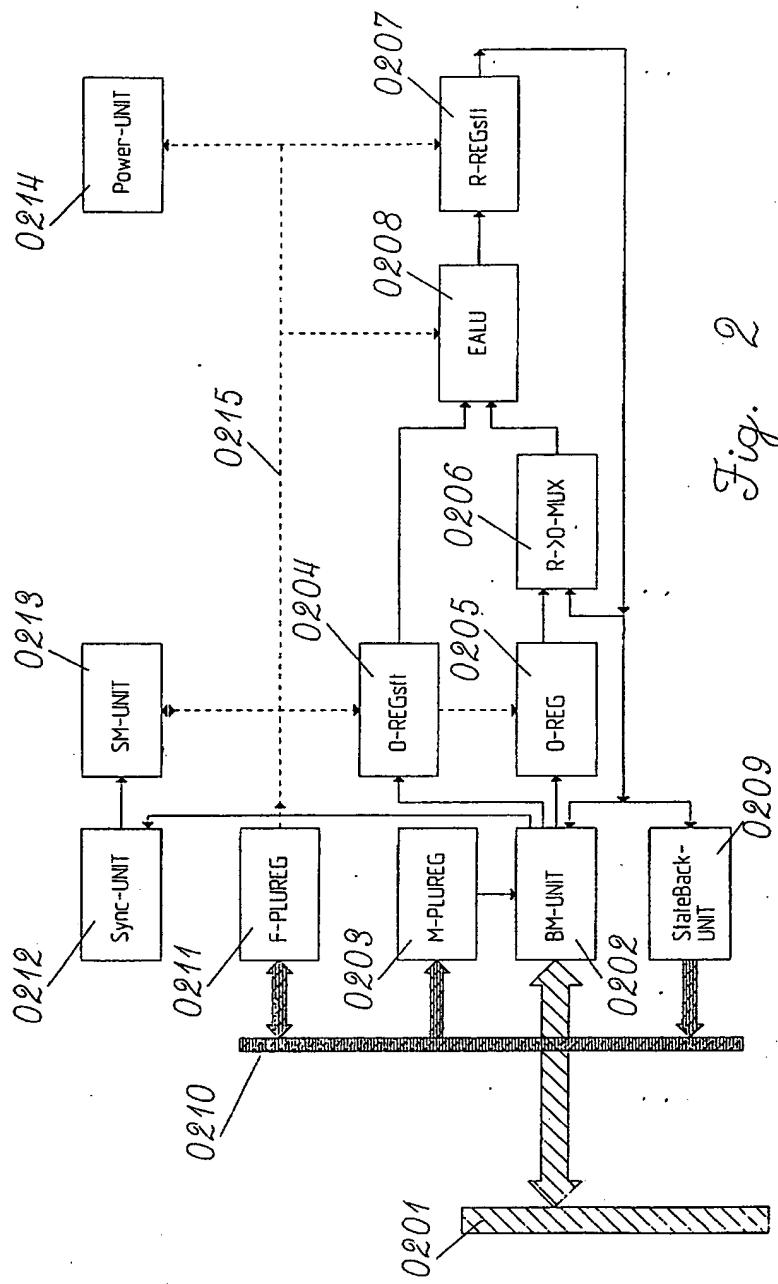


Fig. 2

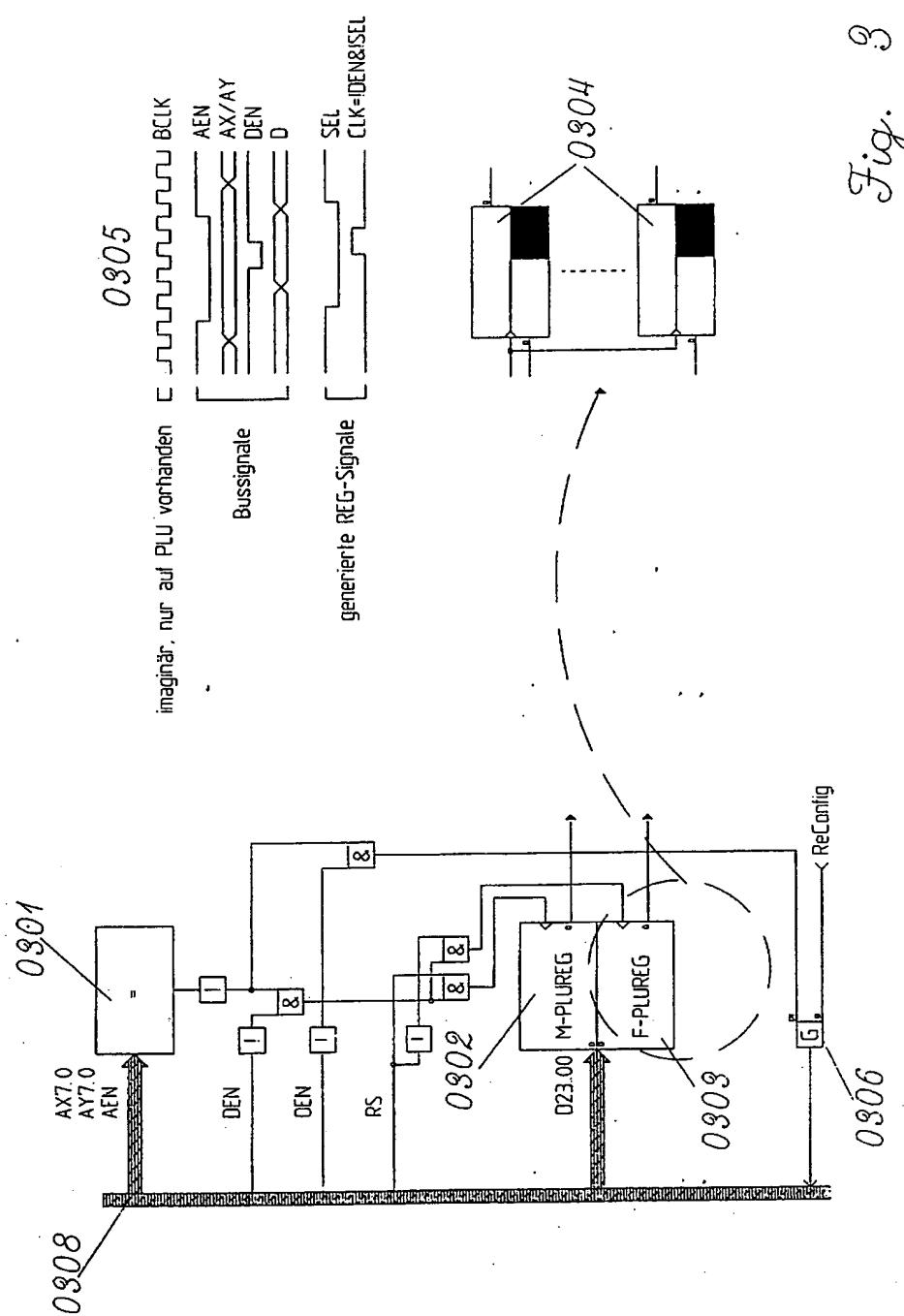
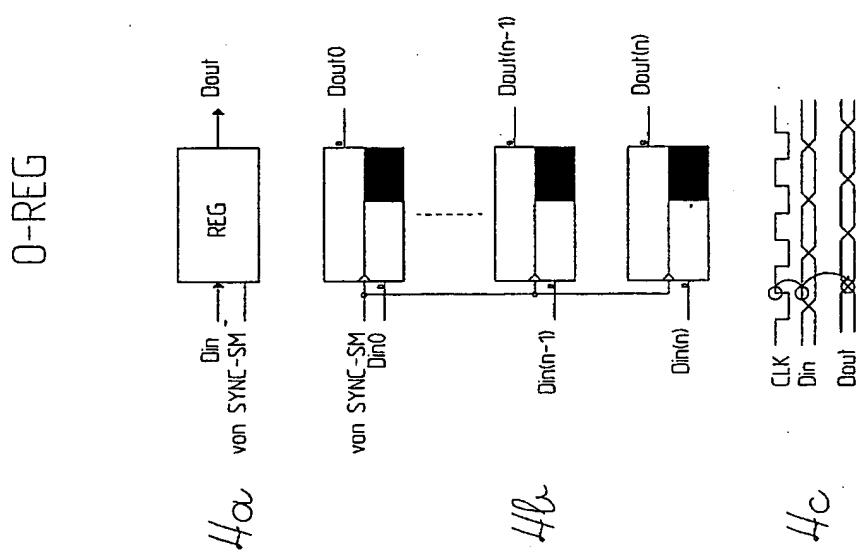
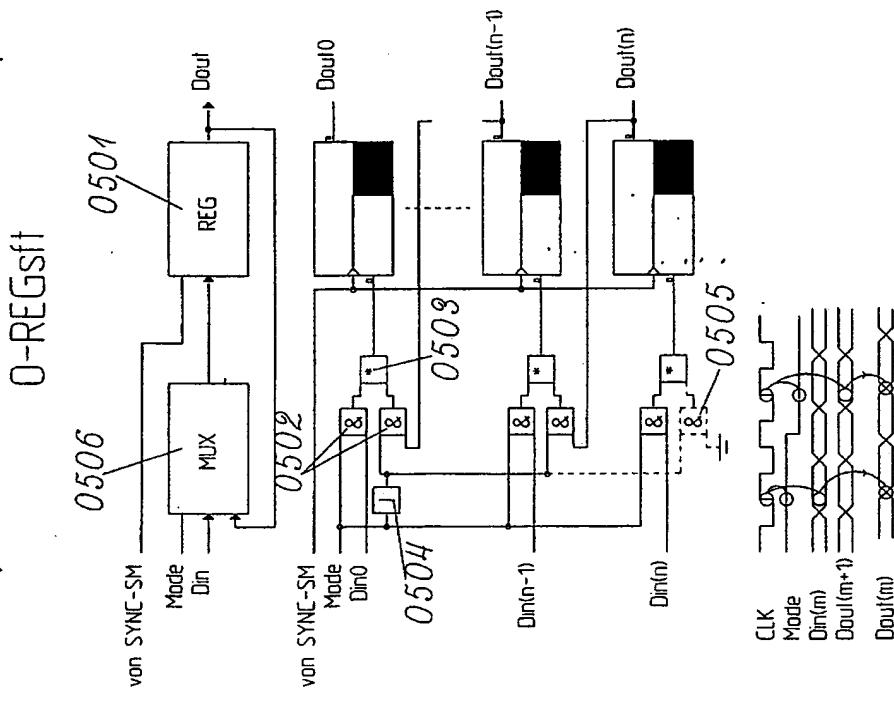


Fig. 4



5

Fig.



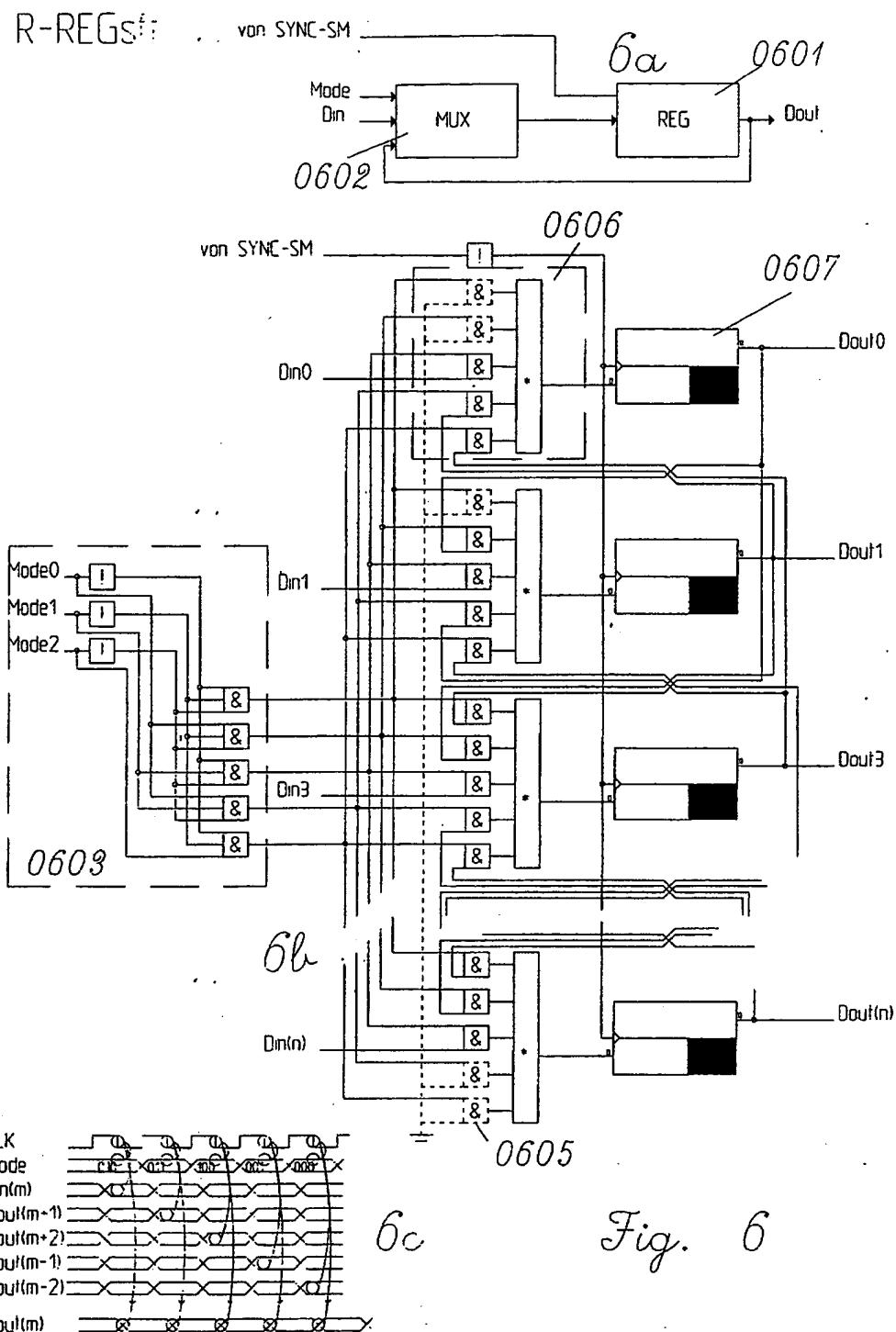


Fig. 6

R20-MUX

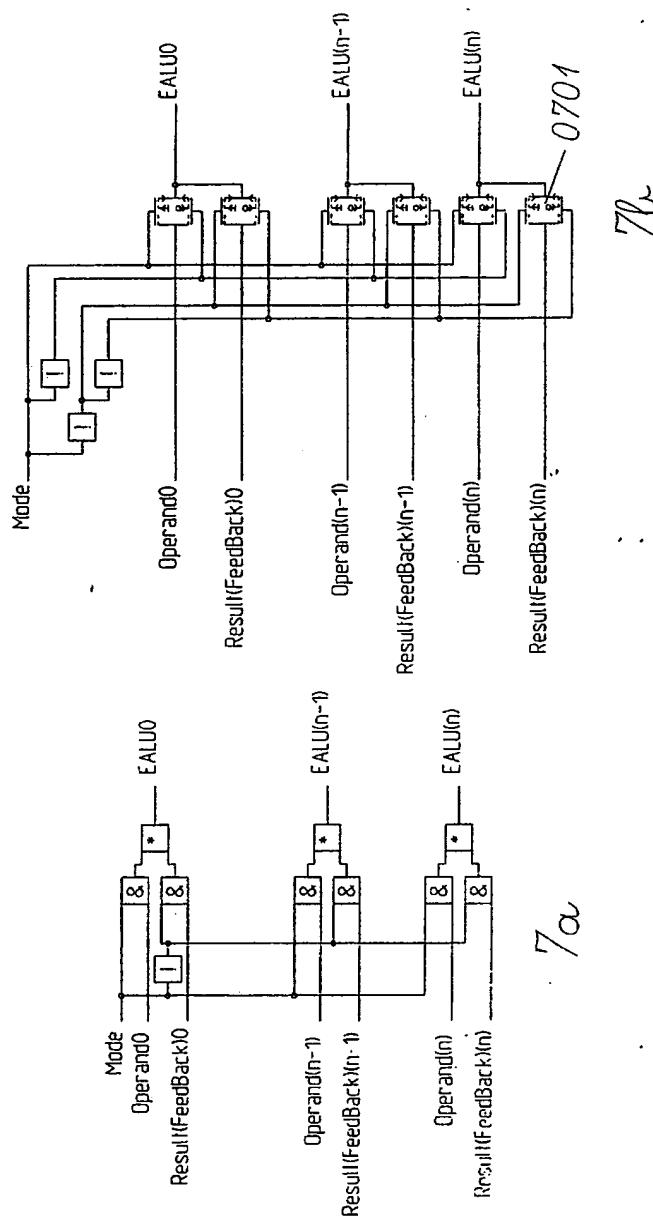


Fig. 7

7b

7a

Taktsynchronisation und Verzögerung

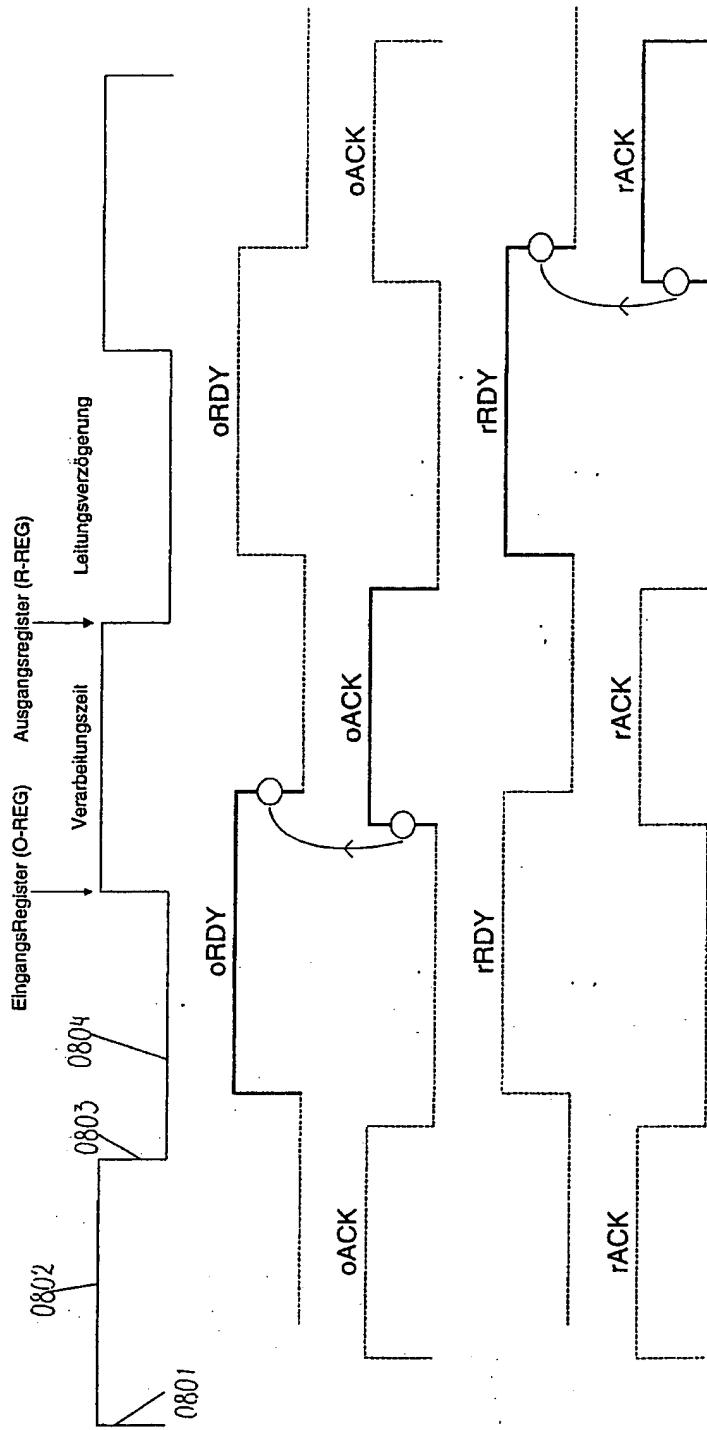
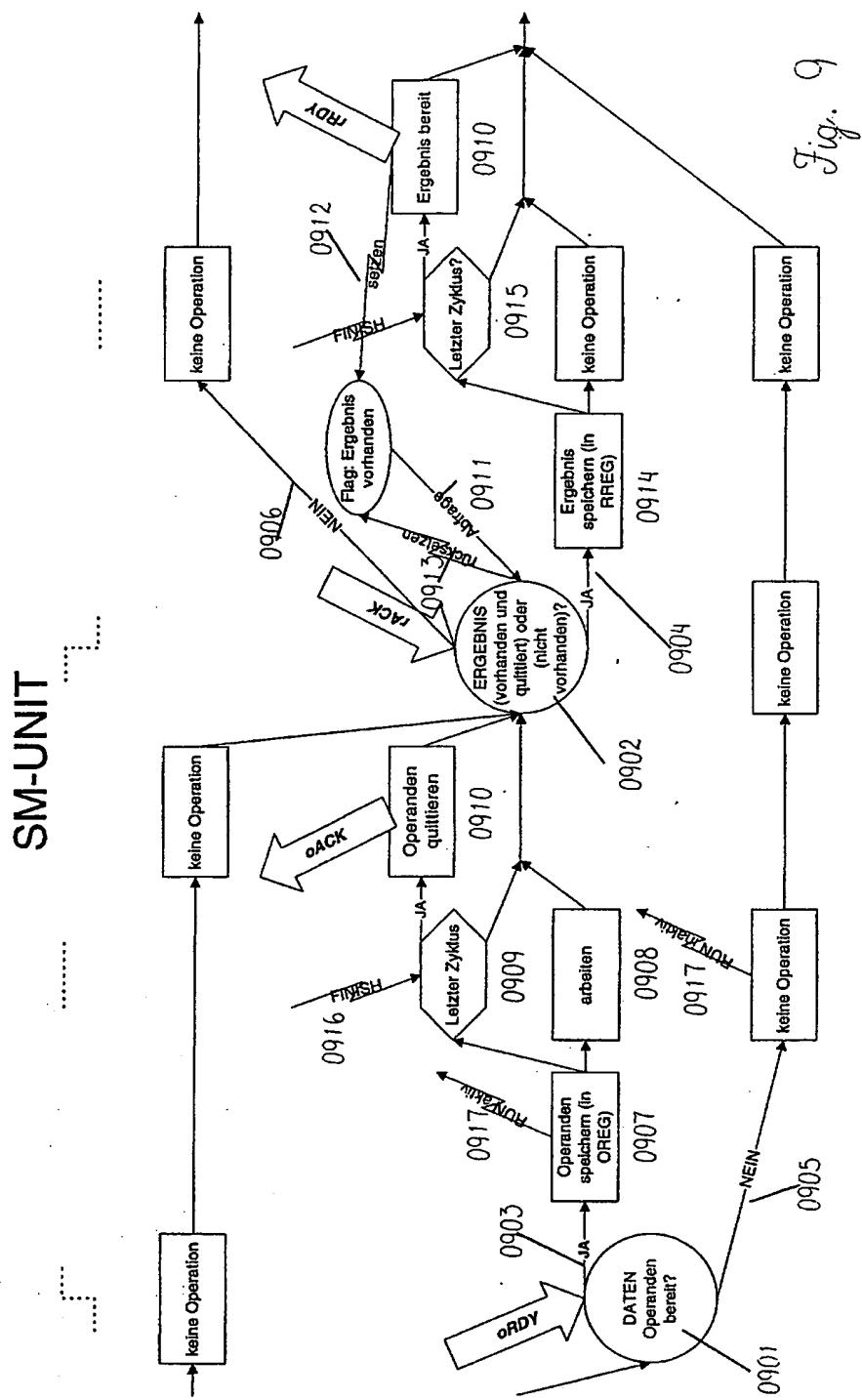


Fig 8



Power-UNIT

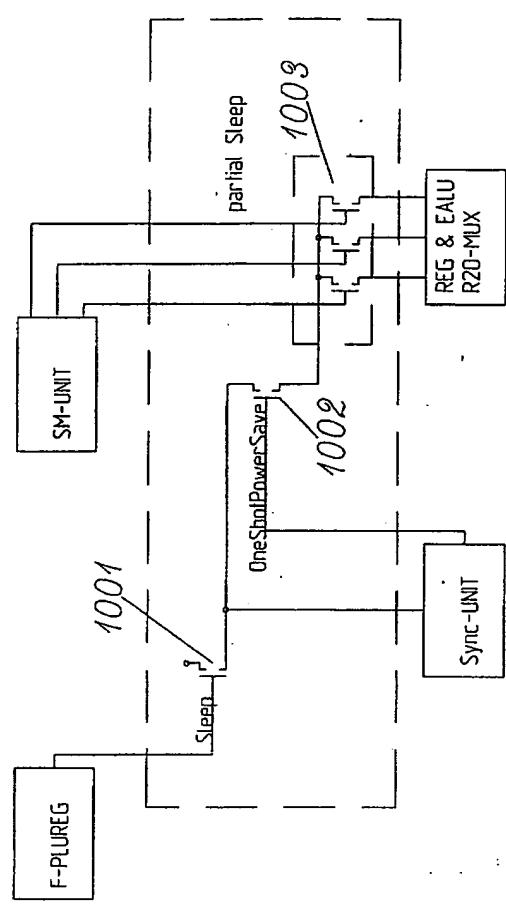


Fig. 10

Sync-UNIT mit StateMachine2

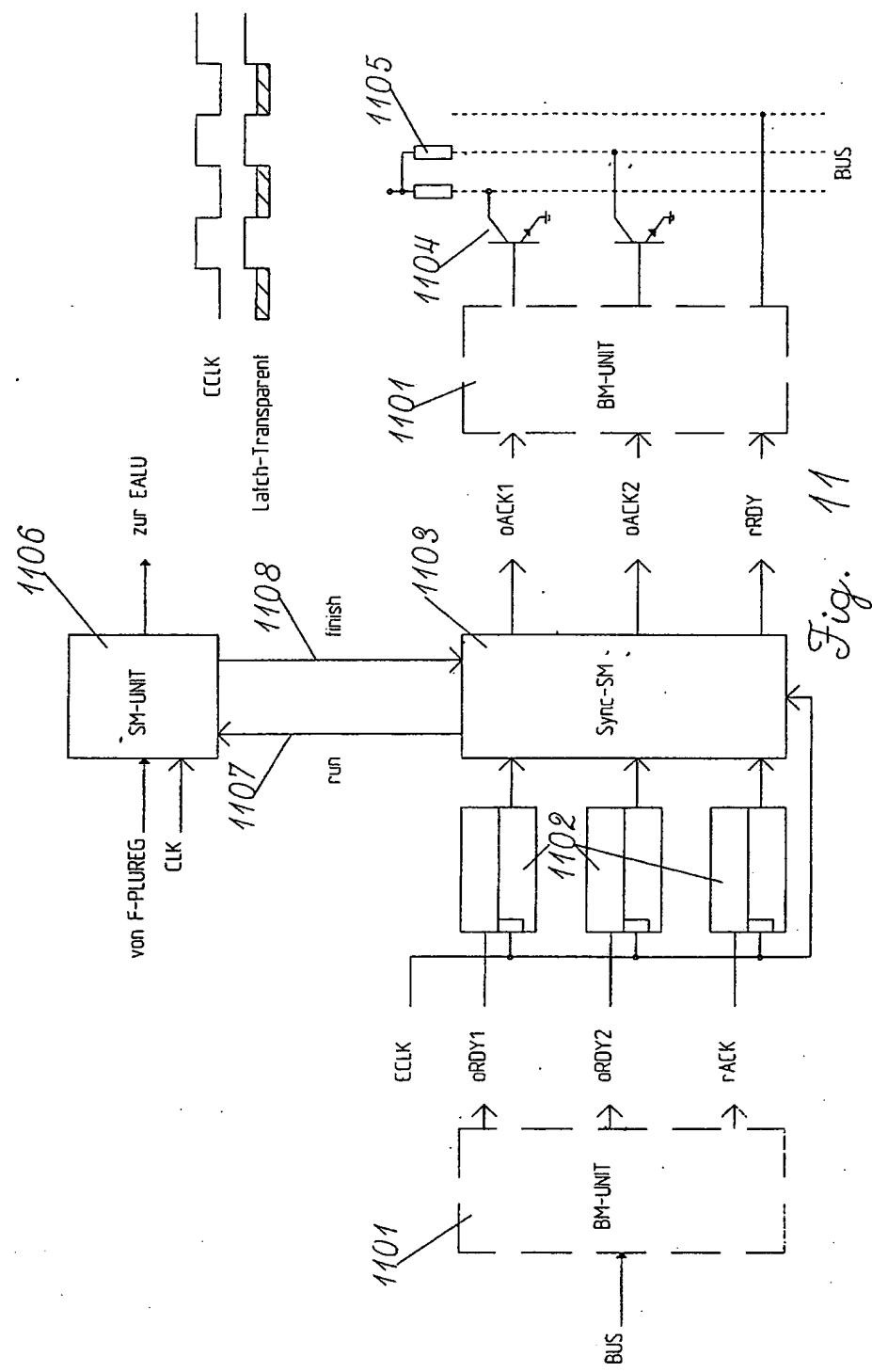
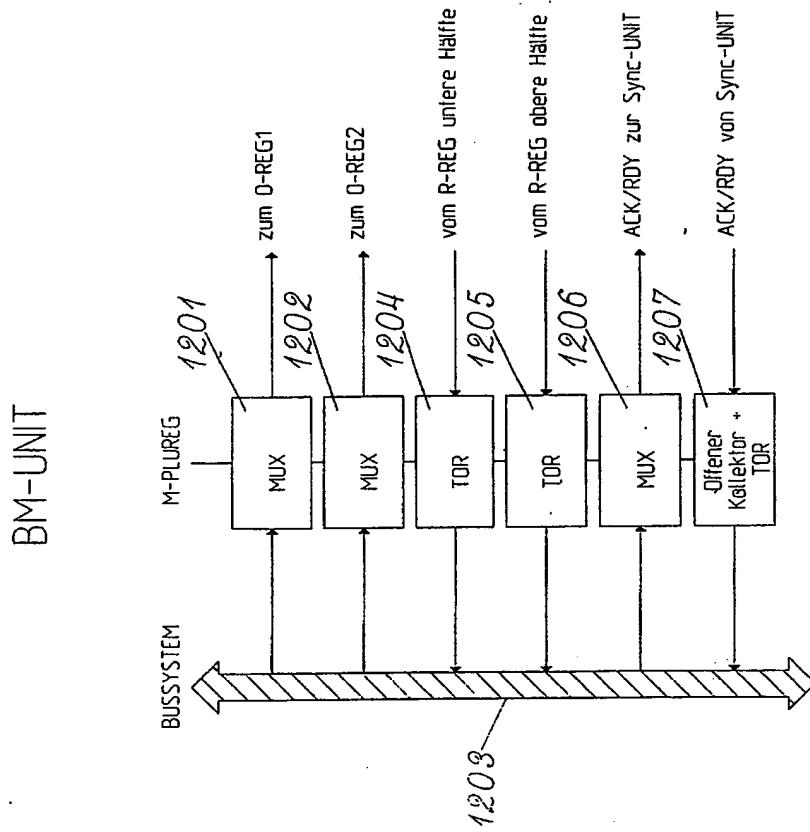


Fig. 11

Fig. 12



O-MUX

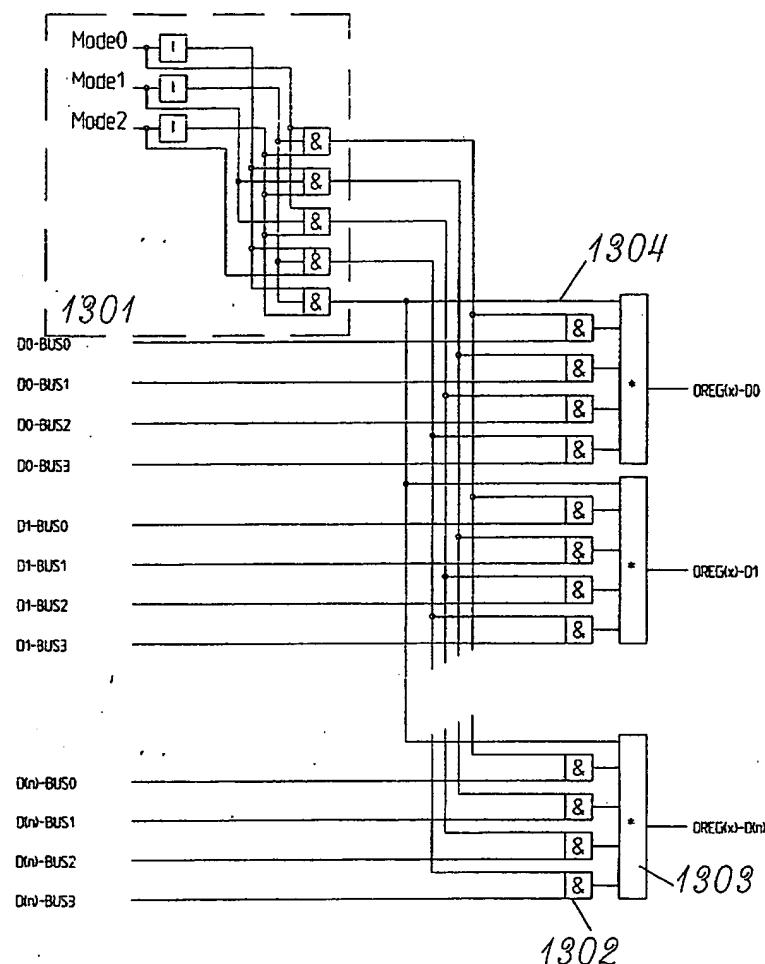


Fig. 13

R-GATE

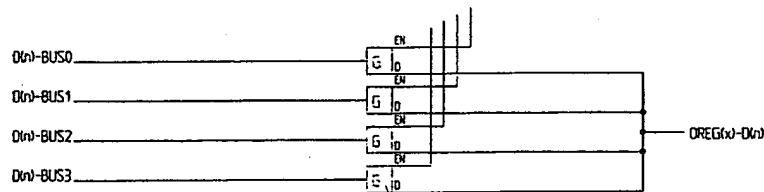
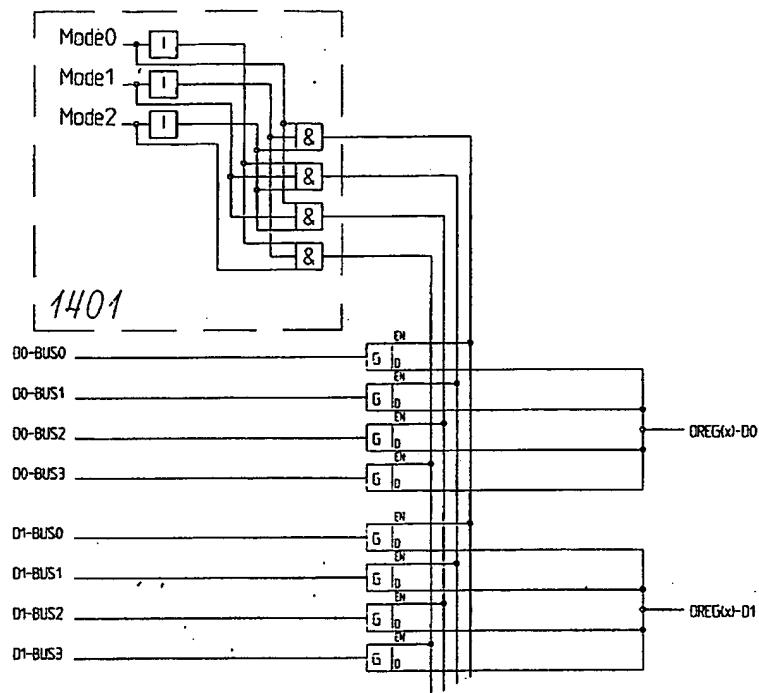
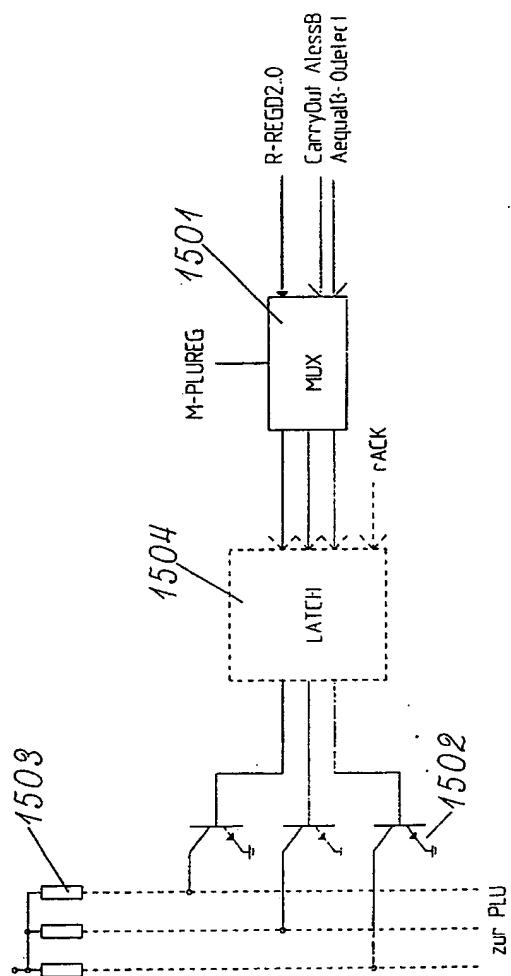


Fig. 14

15

Fig.

StateBack-UNIT



OneShot-Mode

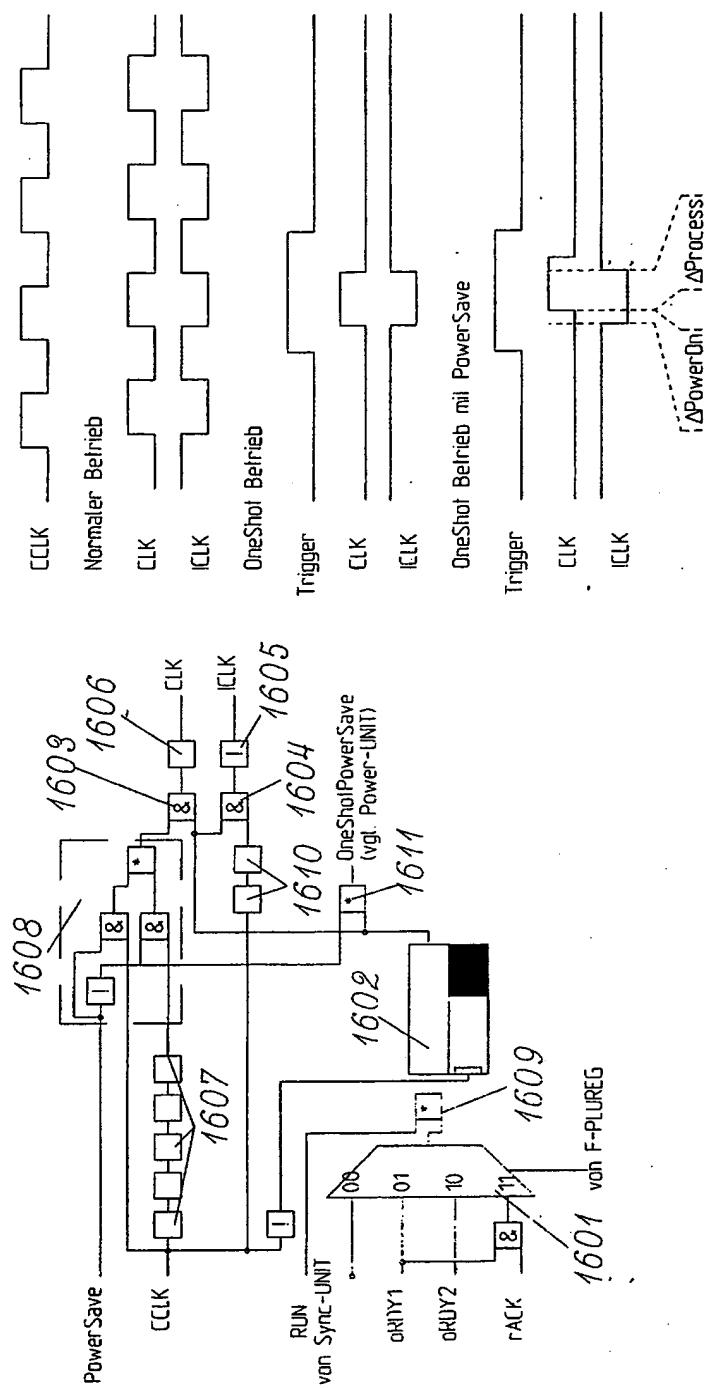


Fig. 16

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.
As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.